

**UNIVERZITET CRNE GORE
ELEKTROTEHNIČKI FAKULTET PODGORICA**

Spec. Sci Marko Tadić

**VISOKO OSJETLJIVI KONVERTOR NAPONA U FREKVENCIJU
SA URAVNOTEŽENOM KOLIČINOM NAELEKTRISANJA**

-MASTER RAD-

Podgorica, 2024. godine

PODACI I INFORMACIJE O MAGISTRANDU

Ime i prezime: Marko Tadić

Datum i mjesto rođenja: 04.05.1997. godine, Podgorica, Crna Gora

Naziv završenog osnovnog studijskog programa i godina diplomiranja: Elektronika, telekomunikacije i računari, 2019.

Naziv završenog specijalističkog studijskog programa i godina diplomiranja: Elektronika, telekomunikacije i računari, 2021.

INFORMACIJE O MASTER RADU

Elektrotehnički fakultet Podgorica

Postdiplomske master akademske studije

Smjer: Elektronika

Naslov rada: *Visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja*

OCJENA I ODBRANA MASTER RADA

Datum prijave master rada: 30.01.2024.

Datum sjednice Vijeća univerzitetske jedinice na kojoj je prihvaćena tema: 18.04.2024.

Komisija za ocjenu/odbranu master rada:

Prof. dr Radovan Stojanović, predsjednik

Univerzitet Crne Gore
Elektrotehnički fakultet Podgorica

Prof. dr Milena Erceg, mentor

Univerzitet Crne Gore
Elektrotehnički fakultet Podgorica

Prof. dr Milutin Radonjić, član

Univerzitet Crne Gore
Elektrotehnički fakultet Podgorica

Datum odbrane:

Datum promocije:

Ime i prezime autora: Marko Tadić

ETIČKA IZJAVA

U skladu sa članom 22 Zakona o akademskom integritetu i članom 18 Pravila studiranja na master studijama, pod krivičnom i materijalnom odgovornošću, izjavljujem da je master rad pod naslovom:

**„Visoko osjetljivi konvertor napona u frekvenciju
sa uravnoteženom količinom naelektrisanja“**

moje originalno djelo.

U Podgorici, dana 25.11.2024.

Podnosilac izjave:
Marko Tadić, Spec. Sci

Marko Tadić

Apstrakt

U ovom master radu predstavljen je dizajn novog tipa konvertora napona u frekvenciju koji pripada grupi konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Namijenjen je implementacijama u širokom opsegu primjena, od mikrokontrolerski upravljanih mjernih sistema do integrisanih mikrosistema, podrazumijevajući da ulazni analogni napon koji se digitalizuje spada u kategoriju sporopromjenljivih napona.

Osnovni gradivni element konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja je integrator. Zahvaljujući izbjegavanju upotrebe operacionog pojačavača, integrator sa strujnim procesiranjem u sastavu predloženog visoko osjetljivog konvertora napona u frekvenciju radi mnogo brže nego standardni integrator koji se bazira na operacionom pojačavaču, a koji je sastavni dio postojećih konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Samim tim, predloženi visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja ima značajno veću osjetljivost frekvencije izlaznog signala u odnosu na promjene ulaznog napona, u poređenju sa postojećim tipovima konvertora napona u frekvenciju koji se baziraju na principu uravnotežavanja količine naelektrisanja. Sa druge strane, greška linearnosti predloženog konvertora napona u frekvenciju je istog nivoa kao i greške linearnosti postojećih rješenja konvertora napona u frekvenciju koji se baziraju na principu uravnotežavanja količine naelektrisanja.

Realizacija novog tipa konvertora napona u frekvenciju bazira se na prototipu u diskretnoj tehnici korišćenjem diskretnih aktivnih i pasivnih elektronskih komponenti povezanih na štampanoj ploči odgovarajućim metalizacijama i konektorima. Na ovom prototipu obavljena su mjerenja performansi konvertora napona u frekvenciju, odnosno eksperimentalna valorizacija predloženog rješenja. Izmjereni rezultati u potpunosti potvrđuju predviđanja koja su iskazana matematičkim modelima. Koristi se unipolarno napajanje od 2.7 V. Opseg ulaznog napona koji je prilagođen najvećoj izmjerenoj osjetljivosti $S = 512.6 \text{ kHz/V}$ manji je 4.7 puta od napona napajanja.

Postignuti rezultati potvrđuju da predloženo rješenje posjeduje performanse koje se mogu porediti ne samo sa rješenjima dostupnim u otvorenoj literaturi, nego i sa industrijskim standardima koji su nametnuti od strane vodećih svjetskih kompanija u oblasti projektovanja i proizvodnje konvertora napona u frekvenciju. Posebno treba naglasiti malu vrijednost napona napajanja prototipa u diskretnoj tehnici predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja koja je manja čak i od napona napajanja industrijskih standarda koji su realizovani u integrisanim tehnologijama. Dizajn predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja je takav da se može jednostavno implementirati u nekoj od standardnih poluprovodničkih integrisanih tehnologija. U tom slučaju mogu se očekivati značajno bolje performanse od onih koje su dobijene eksperimentalnom valorizacijom prototipa realizovanog u diskretnoj tehnici.

Ključne riječi: greška linearnosti, integrator sa operacionim pojačavačem, integrator sa strujnim procesiranjem, konvertor napona u frekvenciju, osjetljivost.

Abstract

A design of the novel type of the voltage-to-frequency converter belonging to the group of charge-balance voltage-to-frequency converters is presented in this Master thesis. It is intended for implementations in a wide range of applications, from microcontroller based measurement systems to integrated microsystems, assuming that the input analog voltage which is digitized belongs to the category of slowly changing voltages.

The basic building block of the charge-balance voltage-to-frequency converters is the integrator. Due to avoiding of an operational amplifier implementation, the current-mode integrator within the proposed charge-balance voltage-to-frequency converter with high sensitivity is much faster than the standard operational amplifier based integrator, which is the part of the existing charge-balance voltage-to-frequency converters. Hence, the proposed high sensitivity charge-balance voltage-to-frequency converter has a significantly higher sensitivity of the output signal frequency related to the changes of the input voltage, compared to existing types of charge-balance voltage-to-frequency converters. On the other hand, the linearity error of the proposed voltage-to-frequency converter is of the same level as the linearity errors of existing voltage-to-frequency converters that are based on the principle of balancing the charge amount.

The realization of the new type of voltage-to-frequency converter is based on a prototype in discrete technique using discrete active and passive electronic components connected on a printed circuit board with appropriate metallization and connectors. The measurements of the performances of the voltage-to-frequency converter, i.e. the experimental valorization of the proposed solution, have been performed on this prototype. The measured results completely confirm the predictions expressed by the mathematical models. A single supply voltage of 2.7 V is used. The input voltage range adjusted to the largest measured sensitivity of $S = 512.6$ kHz/V is 4.7 times lower than the supply voltage.

The achieved results confirm that the proposed design has performances which can be compared not only with the designs available in the open literature, but also with the industrial standards imposed by the world's leading companies in the field of designing and manufacturing voltage-to-frequency converters. It should be emphasized the small value of the supply voltage of the prototype in discrete technique of the proposed design of the charge-balance voltage-to-frequency converter with high sensitivity, which is even lower than the supply voltage of industrial standards realized in integrated technologies. The design of the proposed charge-balance voltage-to-frequency converter with high sensitivity is of such a type that it can be easily implemented in a standard integrated technology. In this case, much better performances can be expected related to those obtained by the experimental valorization of the prototype made in discrete technique.

Key words: linearity error, operational amplifier based integrator, current-mode integrator, voltage-to-frequency converter, sensitivity.

Sadržaj

1. Uvod.....	1
2. Pregled postojećih rješenja linearnih konvertora napona u frekvenciju.....	4
2.1 Multivibratorski konvertori napona u frekvenciju.....	4
2.1.1 Multivibratorski konvertor napona u frekvenciju sa plivajućim kondenzatorom [2].....	4
2.1.2 Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3].....	8
2.1.3 Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora sa proširenim opsegom ulaznog napona [4] - [6].....	13
2.1.4 Multivibratorski konvertor diferencijalnog napona u frekvenciju [10].....	18
2.2 Konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	23
2.2.1 Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13].....	23
2.2.2 Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15].....	27
3. Visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	32
3.1 Frekventni odziv standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja koja protiče kroz integrator.....	32
3.2 Osnovni princip funkcionisanja predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	34
3.3 Kompletna šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	38
3.4 Naponska ograničenja predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	45
3.5 Analiza grešaka predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	46
3.5.1 Greška usljed naponskog ofseta operacionog pojačavača OA ₂	48
3.5.2 Greška usljed parazitne kapacitivnosti u drejnu MOSFET-a M ₁	48
3.5.3 Greška usljed vremena kašnjenja komparatora CMP ₁ , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S ₁	49
3.5.4 Greška usljed parazitne kapacitivnosti u drejnu MOSFET-a M ₁ i djelimičnog preklapanja neinvertovanog i invertovanog signala na izlazu D flip-flopa....	53

4. <i>Measurement set-up</i> za mjerenje performansi visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	57
4.1 Realizacija prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja u diskretnoj tehnici.....	57
4.2 <i>Measurement set-up</i> za mjerenje performansi visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	59
5. Rezultati mjerenja i uporedna analiza.....	60
5.1 Rezultati mjerenja zavisnosti frekvencije izlaznog signala od ulaznog napona.....	60
5.2 Rezultati mjerenja vremenskog odziva.....	64
5.3 Uporedna analiza.....	71
6. Zaključak.....	73
7. Dodatak - fotografije prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.....	75
8. Literatura.....	77

1. Uvod

Nezaobilazan tehničko-tehnološki postupak koji se već decenijama svakodnevno odvija u gotovo svim segmentima društvenih i privrednih aktivnosti širom svijeta jeste proces digitalizacije. Ovaj proces podrazumijeva pretvaranje analognih signala iz našeg okruženja u njihove digitalne ekvivalente koji su pogodni za dalju obradu u računarskim sistemima. Signali iz našeg okruženja (električni signali sa izlaza različitih vrsta senzora, električni signali pokretne i nepokretne slike, električni signali zvuka, elektro-energetski signali,...) u svom izvornom obliku su analogne, odnosno, kontinualne prirode. Ovi signali mogu uzimati vrijednosti iz beskonačnog skupa kontinualnih vrijednosti. Sa druge strane, računarski sistemi (mikroprocesorski upravljani uređaji) baziraju se na digitalnim sistemima u kojima se promjenljiva veličina iskazuje bitima koji pojedinačno mogu imati samo jednu od dvije vrijednosti: jedinicu ili nulu. Postupak konverzije analogne električne veličine u digitalnu veličinu obavlja se u elektronskom kolu koje se naziva analogno-digitalni konvertor. Dakle, analogno-digitalni konvertori predstavljaju elektronske gradivne elemente koji se nalaze u sastavu gotovo svih električnih uređaja kojima smo okruženi (mjerna instrumentacija, telekomunikaciona sredstva, medicinska oprema, multimedijalni sistemi, saobraćajna sredstva, industrijska postrojenja, vojna oprema,...).

Postoji više različitih tipova analogno-digitalnih konvertora. Jedan tip analogno-digitalnog konvertora koji predstavlja predmet ovog master rada jeste konvertor napona u frekvenciju (voltage-to-frequency converter – VFC). Konvertori napona u frekvenciju na svom izlazu generišu impulse čija je frekvencija proporcionalna ulaznom naponu u skladu sa definisanim matematičkim modelom. Mjerenjem frekvencije izlaznih impulsa dobija se digitalni ekvivalent direktno proporcionalan ulaznom naponu. Mjerenje frekvencije obavlja se brojanjem impulsa sa izlaza konvertora napona u frekvenciju tokom trajanja fiksnog vremenskog intervala.

Prisutna je potreba da se postignu što bolje performanse okarakterisane pomoću sljedeća dva najvažnija pokazatelja kvaliteta rada linearnih konvertora napona u frekvenciju:

- greška linearnosti E_L izražena u % koja pokazuje koliko izmjerena zavisnost izlazne frekvencije od ulaznog napona odstupa od optimalne prave,
- osjetljivost S izražena u Hz/V koja se definiše kao odnos priraštaja frekvencije izlaznog signala i priraštaja ulaznog napona.

Radi ostvarenja što boljih performansi linearnih konvertora napona u frekvenciju, greška linearnosti E_L treba da bude što manja, dok osjetljivost S treba da bude što veća.

Generalno, konvertori napona u frekvenciju su uglavnom sporiji i imaju manju rezoluciju (tačnost) u odnosu na većinu drugih tipova analogno-digitalnih konvertora. Međutim, konvertori napona u frekvenciju posjeduju sljedeće važne prednosti u odnosu na ostale tipove analogno-digitalnih konvertora:

- izlazni signali konvertora napona u frekvenciju predstavljeni su periodičnom povorkom pravougaonih impulsa, pa su konvertori napona u frekvenciju značajno manje osjetljivi na šum i interferenciju u odnosu na ostale tipove analogno-digitalnih konvertora,

- izlazni signali konvertora napona u frekvenciju u formi periodičnih impulsa prenose se preko samo jedne linije, bez potrebe za bilo kakvim komunikacionim protokolom sa mikroprocesorom na strani prijema,
- izlazna frekvencija može se izmjeriti sa velikom tačnošću korišćenjem brojačke metode na strani prijema, bez potrebe za sinhronizacijom sa samim konvertorom napona u frekvenciju.

Zahvaljujući ovim osobinama, konvertori napona u frekvenciju su pogodni za implementacije u širokom opsegu primjena, od mikrokontrolerski upravljanih mjernih sistema do integrisanih mikrosistema, podrazumijevajući da ulazni analogni napon koji se digitalizuje spada u kategoriju sporopromjenljivih napona.

Konvertori napona u frekvenciju sa linearnom prenosnom karakteristikom (linearni konvertori napona u frekvenciju), mogu se podijeliti u tri grupe:

- *ramp*-komparator konvertori napona u frekvenciju,
- multivibratorski konvertori napona u frekvenciju,
- konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

Bazni koncept funkcionisanja *ramp*-komparator konvertora napona u frekvenciju podrazumijeva trigerovanje naponskog impulsa u trenutku kada napon na izlazu integratora koji je proporcionalan ulaznom naponu dostigne prag komparatora. Ovaj naponski impuls omogućava pražnjenje integracionog kondenzatora. Konačno vrijeme pražnjenja unosi sistematsku grešku u proces digitalizacije analogne veličine. Kako vrijeme pražnjenja integracionog kondenzatora mora biti dovoljno dugo, ova klasa konvertora napona u frekvenciju spada u kategoriju analogno-digitalnih konvertora male tačnosti (rezolucije).

Bazni koncept funkcionisanja multivibratorskih konvertora napona u frekvenciju podrazumijeva realizaciju konvertora ulaznog napona u struju koja puni i prazni kondenzator. Frekvencija punjenja i pražnjenja kondenzatora direktno je proporcionalna ulaznom naponu. Ovaj tip konvertora napona u frekvenciju jednostavan je za realizaciju, ima malu potrošnju, i spada u kategoriju jeftinih analogno-digitalnih konvertora srednje tačnosti (rezolucije).

Bazni koncept funkcionisanja konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja podrazumijeva trigerovanje izvora naelektrisanja u trenutku kada napon na izlazu integratora koji je proporcionalan ulaznom naponu dostigne prag komparatora. Trigerovanjem izvora naelektrisanja odgovarajuća količina naelektrisanja se izbacuje iz integracionog kondenzatora. Brzina pri kojoj se naelektrisanje izbacuje iz integracionog kondenzatora mora biti uravnotežena sa brzinom pri kojoj se naelektrisanje pod uticajem ulaznog naponskog izvora ubacuje u integracioni kondenzator. Frekvencija trigerovanja izvora naelektrisanja direktno je proporcionalna ulaznom naponu. Ovaj tip konvertora napona u frekvenciju složeniji je za realizaciju, ima veće zahtjeve za potrošnjom, i spada u kategoriju analogno-digitalnih konvertora visoke tačnosti (rezolucije).

Predmet ovog master rada jeste dizajn novog tipa konvertora napona u frekvenciju koji pripada grupi konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Integrator, koji predstavlja centralni dio prethodno pomenute klase konvertora napona u frekvenciju, bazira se na strujnom procesiranju i realizovan je bez upotrebe operacionog pojačavača. Frekventni opseg integratora baziranog na strujnom procesiranju bez operacionog

pojačavača neuporedivo je veći od frekventnog opsega standardnog integratora sa operacionim pojačavačem. Zahvaljujući izbjegavanju upotrebe operacionog pojačavača, integrator u sastavu konvertora napona u frekvenciju radi mnogo brže nego klasični integrator koji se bazira na operacionom pojačavaču. Preciznije, ograničenje u brzini rada integratora sa strujnim procesiranjem bez upotrebe operacionog pojačavača uzrokuju ograničene brzine rada elektronskih kola (gradivnih elemenata) sa kojima je ovaj integrator okružen, i sa kojima integrator komunicira u električnom smislu. Samim tim, predloženi konvertor napona u frekvenciju ima značajno veću osjetljivost frekvencije izlaznog signala u odnosu na promjene ulaznog napona, u poređenju sa postojećim tipovima konvertora napona u frekvenciju koji se baziraju na principu uravnotežavanja količine naelektrisanja. Sa druge strane, greška linearnosti predloženog konvertora napona u frekvenciju je na nivou greški linearnosti postojećih rješenja konvertora napona u frekvenciju koji se baziraju na principu uravnotežavanja količine naelektrisanja.

Realizacija novog tipa konvertora napona u frekvenciju bazira se na prototipu u diskretnoj tehnici korišćenjem diskretnih aktivnih i pasivnih elektronskih komponenti povezanih na štampanoj ploči odgovarajućim metalizacijama i konektorima. Koristi se unipolarno napajanje od 2.7 V, koje predstavlja minimalni napon potreban za rad gradivnih elemenata koji se koriste u dizajnu konvertora napona u frekvenciju. Takođe, opseg ulaznog napona koji je prilagođen najvećoj izmjerenoj osjetljivosti predloženog konvertora napona u frekvenciju $S = 512.6 \text{ kHz/V}$ manji je 4.7 puta od napona napajanja. Na ovom prototipu obavljena su mjerenja performansi konvertora napona u frekvenciju, odnosno eksperimentalna valorizacija predloženog rješenja. Izmjereni rezultati u potpunosti potvrđuju projekcije koje su iskazane matematičkim modelima.

Rad se sastoji od šest poglavlja, sa uvodom kao prvim i zaključkom kao posljednjim poglavljem. U drugom poglavlju dat je pregled postojećih rješenja konvertora napona u frekvenciju. Izvršena je detaljna analiza pojedinih rješenja i istaknute su odgovarajuće performanse. Treće poglavlje odnosi se na predstavljanje predloženog rješenja konvertora napona u frekvenciju. Sprovedeno je matematičko modelovanje principa rada kola, opisane pojedine funkcionalne cjeline i izvršena detaljna analiza izvora grešaka. Posebna pažnja posvećena je analizi frekventnog opsega konvertora napona u frekvenciju u cilju isticanja unaprijeđenja postignutog predloženim dizajnom. Slijedi opis *measurement set-up*-a koji je korišćen za eksperimentalnu valorizaciju predloženog rješenja konvertora napona u frekvenciju. U petom poglavlju predstavljeni su odgovarajući izmjereni rezultati i izvršena uporedna analiza sa postojećim rješenjima konvertora napona u frekvenciju istog tipa.

2. Pregled postojećih rješenja linearnih konvertora napona u frekvenciju

Konvertori napona u frekvenciju sa linearnom prenosnom karakteristikom (linearni konvertori napona u frekvenciju), mogu se podijeliti u tri grupe:

- *ramp* – komparator konvertori napona u frekvenciju,
- multivibratorski konvertori napona u frekvenciju,
- konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

Kako *ramp*-komparator konvertori napona u frekvenciju spadaju u kategoriju konvertora male tačnosti i imaju najmanju primjenu, u narednoj analizi biće dat pregled postojećih rješenja multivibratorskih i konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

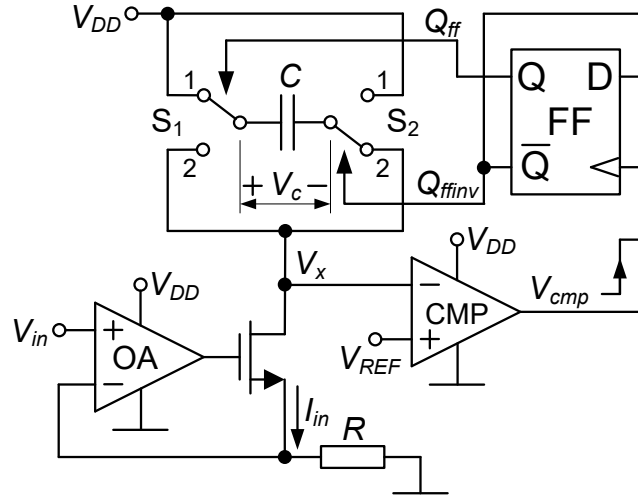
2.1 Multivibratorski konvertori napona u frekvenciju

Bazni koncept funkcionisanja multivibratorskih konvertora napona u frekvenciju predstavljen je u [1] i [2]. Ovaj koncept podrazumijeva realizaciju konvertora ulaznog napona u struju koja puni i prazni kondenzator. Frekvencija punjenja i pražnjenja kondenzatora direktno je proporcionalna ulaznom naponu. Ovaj tip konvertora napona u frekvenciju jednostavan je za realizaciju, ima malu potrošnju, i spada u kategoriju jeftinih analogno-digitalnih konvertora srednje tačnosti (rezolucije).

2.1.1 Multivibratorski konvertor napona u frekvenciju sa plivajućim kondenzatorom [2]

Multivibratorski konvertor napona u frekvenciju sa plivajućim kondenzatorom [2] prikazan je na slici 2.1. Kolo se sastoji od konvertora ulaznog napona V_{in} u struju I_{in} realizovanog pomoću operacionog pojačavača (*operational amplifier* – OA), n -kanalnog MOSFET-a i otpornika R , komparatora (*comparator* – CMP), referentnog naponskog izvora sa naponom $V_{REF} < V_{DD}$, D flip-flopa, integracionog kondenzatora C , i dva dvopoložajna bilateralna CMOS prekidača S_1 i S_2 . Kada se na kontrolnom priključku ovih bilateralnih CMOS prekidača nalazi logička jedinica, zajednički terminal je povezan sa terminalom broj 1, dok je putanja prema terminalu broj 2 otvorena. Kada se na kontrolnom priključku ovih bilateralnih CMOS prekidača nalazi logička nula, zajednički terminal je povezan sa terminalom broj 2, dok je putanja prema terminalu broj 1 otvorena.

Polazeći od pretpostavke da je tokom trajanja integracije ulazna struja $I_{in} = V_{in}/R$ konstantna veličina, $I_{in} = const.$, i da je odmah nakon uključjenja napona napajanja V_{DD} stanje na izlazu D flip-flopa $Q_{ff} = V_{DD}$ ($Q_{ffinv} = 0$), pojedine faze rada multivibratorskog konvertora napona u frekvenciju sa plivajućim kondenzatorom [2] čija je šema prikazana na slici 2.1 mogu se matematički modelovati na sljedeći način:



Slika. 2.1. Multivibratorski konvertor napona u frekvenciju sa plivajućim kondenzatorom [2].

1. Odmah nakon uključanja napona napajanja, $Q_{ff} = V_{DD}$ ($Q_{ffinv} = 0$)

U trenutku uključanja napajanja V_{DD} integracioni kondenzator C je prazan, $V_c = 0$, pa će napon na izlazu komparatora CMP_1 biti $V_{cmp} = 0$. Pošto je $Q_{ff} = V_{DD}$ ($Q_{ffinv} = 0$) napon V_x na “-“ priključku komparatora CMP mijenja se prema sljedećem zakonu:

$$V_x = V_{DD} - \frac{1}{C} \int I_{in} dt = V_{DD} - \frac{1}{C} \int \frac{V_{in}}{R} dt = V_{DD} - \frac{V_{in}}{RC} t + A, \quad (2.1)$$

Napon V_c na integracionom kondenzatoru C dobija se kao:

$$V_c = V_{DD} - V_x = \frac{V_{in}}{RC} t - A, \quad (2.2)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = 0, \quad (2.3)$$

$$V_c(0+) = -A. \quad (2.4)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.3) i (2.4) dobija se da je integraciona konstanta A data kao:

$$A = 0. \quad (2.5)$$

Kombinovanjem relacija (2.1) i (2.5) dobija se napon V_x na “-“ priključku komparatora CMP :

$$V_x = V_{DD} - \frac{V_{in}}{RC} t. \quad (2.6)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_x opada po linearnom zakonu sa protokom vremena t . Kada se napon V_x spusti do vrijednosti referentnog napona V_{REF} , dolazi do promjene napona V_{cmp} na izlazu komparatora CMP , pa on postaje $V_{cmp} = V_{DD}$. Ovo se dešava u trenutku T_1 :

$$V_x(T_1) = V_{REF} \Rightarrow V_{DD} - \frac{V_{in}}{RC} T_1 = V_{REF} \Rightarrow T_1 = \frac{V_{DD} - V_{REF}}{V_{in}} RC. \quad (2.7)$$

Napon $V_c(T_1)$ na integracionom kondenzatoru C u trenutku T_1 dobija se kao:

$$V_c(T_1) = V_{DD} - V_x(T_1) = V_{DD} - V_{REF}. \quad (2.8)$$

Nakon isteka vremenskog interval T_1 (2.7) dolazi do taktovanja D flip-flopa rastućom ivicom signala V_{cmp} na izlazu komparatora CMP. Na ovaj način se na izlazu D flip-flopa pojavljuje $Q_{ff} = 0$ ($Q_{ffinv} = V_{DD}$), te nastupa nova faza.

2. Izlaz D flip-flopa $Q_{ff} = 0$ ($Q_{ffinv} = V_{DD}$)

Napon V_x na “-“ priključku komparatora CMP mijenja se prema sljedećem zakonu:

$$V_x = V_{DD} - \frac{1}{C} \int I_{in} dt = V_{DD} - \frac{1}{C} \int \frac{V_{in}}{R} dt = V_{DD} - \frac{V_{in}}{RC} t + A. \quad (2.9)$$

Napon V_c na integracionom kondenzatoru C dobija se kao:

$$V_c = V_x - V_{DD} = -\frac{V_{in}}{RC} t + A, \quad (2.10)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_{DD} - V_{REF}, \quad (2.11)$$

$$V_c(0+) = A. \quad (2.12)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.11) i (2.12) dobija se da je integraciona konstanta A data kao:

$$A = V_{DD} - V_{REF}. \quad (2.13)$$

Kombinovanjem relacija (2.9) i (2.13) dobija se napon V_x na “-“ priključku komparatora CMP:

$$V_x = 2V_{DD} - V_{REF} - \frac{V_{in}}{RC} t. \quad (2.14)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_x opada po linearnom zakonu sa protokom vremena t . Kada se napon V_x spusti do vrijednosti referentnog napona V_{REF} , dolazi do promjene napona V_{cmp} na izlazu komparatora CMP, pa on postaje $V_{cmp} = V_{DD}$. Ovo se dešava u trenutku T_2 :

$$V_x(T_2) = V_{REF} \Rightarrow 2V_{DD} - V_{REF} - \frac{V_{in}}{RC} T_2 = V_{REF} \Rightarrow T_2 = 2 \frac{V_{DD} - V_{REF}}{V_{in}} RC. \quad (2.15)$$

Napon $V_c(T_2)$ na integracionom kondenzatoru C u trenutku T_2 dobija se kao:

$$V_c(T_2) = V_x(T_2) - V_{DD} = V_{REF} - V_{DD}. \quad (2.16)$$

Nakon isteka vremenskog interval T_2 (2.15) dolazi do taktovanja D flip-flopa rastućom ivicom signala V_{cmp} na izlazu komparatora CMP. Na ovaj način se na izlazu D flip-flopa pojavljuje $Q_{ff} = V_{DD}$ ($Q_{ffinv} = 0$), te nastupa nova faza.

3. Izlaz D flip-flopa $Q_{ff} = V_{DD}$ ($Q_{ffinv} = 0$)

Napon V_x na “-“ priključku komparatora CMP mijenja se prema sljedećem zakonu:

$$V_x = V_{DD} - \frac{1}{C} \int I_{in} dt = V_{DD} - \frac{1}{C} \int \frac{V_{in}}{R} dt = V_{DD} - \frac{V_{in}}{RC} t + A, \quad (2.17)$$

Napon V_c na integracionom kondenzatoru C dobija se kao:

$$V_c = V_{DD} - V_x = \frac{V_{in}}{RC} t - A, \quad (2.18)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_{REF} - V_{DD}, \quad (2.19)$$

$$V_c(0+) = -A. \quad (2.20)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.19) i (2.20) dobija se da je integraciona konstanta A data kao:

$$A = V_{DD} - V_{REF}. \quad (2.21)$$

Kombinovanjem relacija (2.17) i (2.21) dobija se napon V_x na “-“ priključku komparatora CMP:

$$V_x = 2V_{DD} - V_{REF} - \frac{V_{in}}{RC} t. \quad (2.22)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_x opada po linearnom zakonu sa protokom vremena t . Kada se napon V_x spusti do vrijednosti referentnog napona V_{REF} , dolazi do promjene napona V_{cmp} na izlazu komparatora CMP, pa on postaje $V_{cmp} = V_{DD}$. Ovo se dešava u trenutku T_3 :

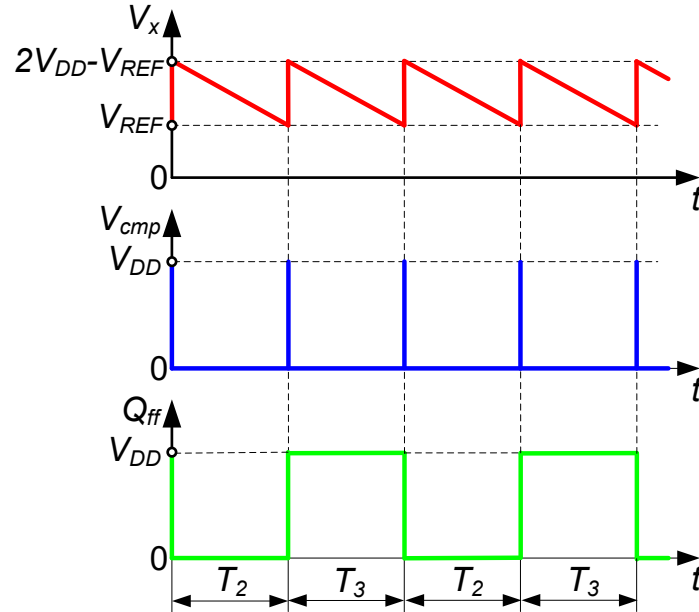
$$V_x(T_3) = V_{REF} \Rightarrow 2V_{DD} - V_{REF} - \frac{V_{in}}{RC} T_3 = V_{REF} \Rightarrow T_3 = 2 \frac{V_{DD} - V_{REF}}{V_{in}} RC. \quad (2.23)$$

Napon $V_c(T_3)$ na integracionom kondenzatoru C u trenutku T_3 dobija se kao:

$$V_c(T_3) = V_{DD} - V_x(T_3) = V_{DD} - V_{REF}. \quad (2.24)$$

Nakon isteka vremenskog interval T_3 (2.23) dolazi do taktovanja D flip-flopa rastućom ivicom signala V_{cmp} na izlazu komparatora CMP. Na ovaj način se na izlazu D flip-flopa pojavljuje $Q_{ff} = 0$ ($Q_{ffinv} = V_{DD}$), te nastupa nova faza koja je identična fazi broj 2.

Talasnici napona V_x , V_{cmp} i Q_{ff} u vremenskom domenu na “-“ priključku komparatora CMP, na izlazu komparatora CMP, i na izlazu D flip-flopa, redom, multivibratorskog konvertora napona u frekvenciju sa plivajućim kondenzatorom [2] prikazani su na slici 2.2.



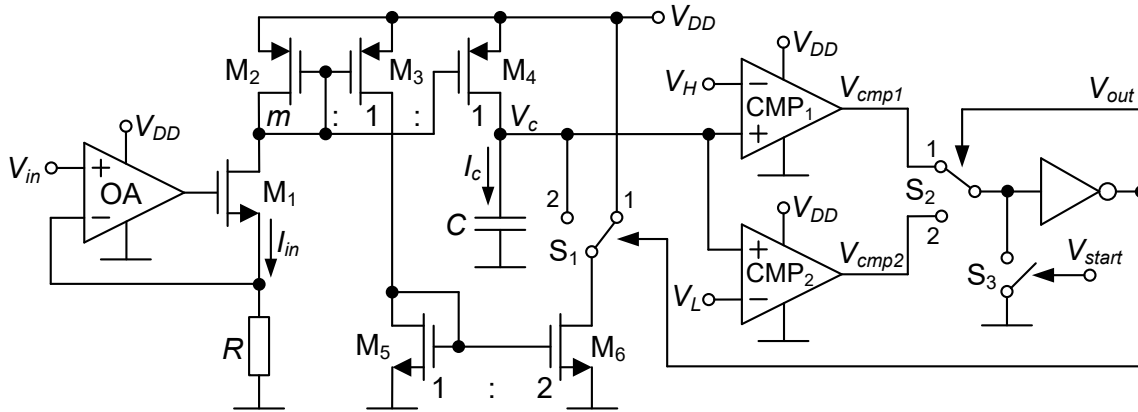
Slika. 2.2. Talasni oblici napona V_x , V_{cmp} i Q_{ff} u vremenskom domenu na “-“ priključku komparatora CMP, na izlazu komparatora CMP, i na izlazu D flip-flopa, redom, multivibratorskog konvertora napona u frekvenciju sa plivajućim kondenzatorom [2].

Sada se može izvesti zaključak o karakterističnim fazama rada multivibratorskog konvertora napona u frekvenciju sa plivajućim kondenzatorom [2]. Prva faza neposredno nakon uključivanja napona napajanja predstavlja prelaznu fazu, nakon čega se naizmjenično ponavljaju faze 2 i 3, čije je trajanje T_2 (2.15) i T_3 (2.23), redom. Pri tome važi: $T_2 = T_3$. Dakle, perioda T napona Q_{ff} (Q_{ffinv}) na izlazu D flip-flopa, koji ujedno predstavlja i izlazni napon čitavog konvertora napona u frekvenciju, predstavljena je sumom trajanja vremenskih intervala T_2 i T_3 , $T = T_2 + T_3 = 2T_2 = 2T_3$. Izraz za frekvenciju f izlaznog napona Q_{ff} (Q_{ffinv}) može se izvesti na sljedeći način:

$$f = \frac{1}{T} = \frac{1}{T_2 + T_3} = \frac{V_{in}}{V_{DD} - V_{REF}} \frac{1}{4RC} \quad (2.25)$$

2.1.2 Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3]

Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3] prikazan je na slici 2.3. Kolo se sastoji od konvertora ulaznog napona V_{in} u struju I_{in} realizovanog pomoću operacionog pojačavača OA, n -kanalnog MOSFET-a M_1 i otpornika R , dvo-izlaznog strujnog ogledala realizovanog pomoću p -kanalnih MOSFET-ova $M_2 - M_4$ u konfiguraciji strujnih izvora, strujnog ogledala realizovanog pomoću n -kanalnih MOSFET-ova M_5 i M_6 u konfiguraciji strujnog ponora, integracionog kondenzatora C , dvo-položajnog bilateralnog CMOS prekidača S_1 , i naponskog prozorskog komparatora realizovanog pomoću komparatora CMP_1 i CMP_2 , dva referentna naponska izvora sa naponima V_H i V_L , $V_H > V_L$, dvo-položajnog bilateralnog CMOS prekidača S_2 , bilateralnog CMOS prekidača S_3 , i invertora. Transkonduktanski faktor β_2 MOSFET-a M_2 je m puta veći od transkonduktansnih parametara β_3 i β_4 MOSFET-ova M_3 i M_4 , redom, $\beta_2 = m\beta_3 = m\beta_4$, $m > 1$. Pošto svi MOSFET-ovi rade u zasićenju, struje drejna I_{D3} i I_{D4} MOSFET-ova M_3 i M_4 , redom, su m puta manje od struje



Slika. 2.3. Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3].

drejna I_{D2} MOSFET-a M_2 : $I_{D2} = I_{in} = mI_{D3} = mI_{D4}$. Transkonduktanski faktor β_5 MOSFET-a M_5 je 2 puta manji od transkonduktanskog parametra β_6 MOSFET-a M_6 , $2\beta_5 = \beta_6$. Zbog toga je struja drejna I_{D6} MOSFET-a M_6 dva puta veća od struje drejna I_{D5} MOSFET-a M_5 : $I_{D6} = 2I_{D5} = 2I_{D3} = 2I_{in}/m$. Kada se na kontrolnom priključku dvo-položajnih bilateralnih CMOS prekidača S_1 i S_2 nalazi logička jedinica, zajednički terminal je povezan sa terminalom broj 1, dok je putanja prema terminalu broj 2 otvorena. Kada se na kontrolnom priključku ovih bilateralnih CMOS prekidača nalazi logička nula, zajednički terminal je povezan sa terminalom broj 2, dok je putanja prema terminalu broj 1 otvorena.

Polazeći od pretpostavke da je tokom trajanja integracije ulazna struja $I_{in} = V_{in}/R$ konstantna veličina, $I_{in} = const.$, pojedine faze rada multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3] čija je šema prikazana na slici 2.3 mogu se matematički modelovati na sljedeći način:

1. Odmah nakon uključanja napona napajanja

U trenutku uključanja napajanja V_{DD} aktivira se naponski impuls V_{start} sa logičkom jedinicom kratkog trajanja koja dovodi do izlaznog napona $V_{out} = V_{DD}$. Ovo ima za posljedicu da je drejn MOSFET-a M_6 povezan na napajanje V_{DD} , a ulaz invertora na izlaz komparatora CMP_1 . U trenutku uključanja napajanja V_{DD} integracioni kondenzator C je prazan, $V_c = 0$, pa će naponi na izlazu komparatora CMP_1 i CMP_2 biti $V_{cmp1} = V_{cmp2} = 0$. Na ovaj način održava se stanje na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala, $V_{out} = V_{DD}$. Napon V_c na integracionom kondenzatoru C mijenja se prema sljedećem zakonu:

$$V_c = \frac{1}{C} \int I_c dt = \frac{1}{C} \int I_{D4} dt = \frac{1}{C} \int \frac{I_{in}}{m} dt = \frac{1}{C} \int \frac{V_{in}}{mR} dt = \frac{V_{in}}{mRC} t + A, \quad (2.26)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = 0, \quad (2.27)$$

$$V_c(0+) = A. \quad (2.28)$$

Pošto mora biti ispunjeno: $V_c(0^-) = V_c(0^+)$, na osnovu relacija (2.27) i (2.28) dobija se da je integraciona konstanta A data kao:

$$A = 0. \quad (2.29)$$

Kombinovanjem relacija (2.26) i (2.29) dobija se napon V_c na integracionom kondenzatoru C :

$$V_c = \frac{V_{in}}{mRC} t. \quad (2.30)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_c na integracionom kondenzatoru C raste po linearnom zakonu sa protokom vremena t . Napon V_c dostiže referentni naponi V_L u trenutku T_1 :

$$V_c(T_1) = V_L \Rightarrow \frac{V_{in}}{mRC} T_1 = V_L \Rightarrow T_1 = \frac{mV_L}{V_{in}} RC. \quad (2.31)$$

U trenutku $t = T_1$ napon V_{cmp2} na izlazu komparatora CMP_2 se mijenja od $V_{cmp2} = 0$ na $V_{cmp2} = V_{DD}$, dok napon V_{cmp1} na izlazu komparatora CMP_1 ostaje nepromijenjen, $V_{cmp1} = 0$. Pošto je izlaz komparatora CMP_1 i dalje priključen na ulaz invertora, napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala ostaje nepromijenjen, $V_{out} = V_{DD}$. Dakle, napon V_c na integracionom kondenzatoru C i dalje raste po linearnom zakonu sa protokom vremena t . Napon V_c dostiže vrijednost referentnog napona V_H u trenutku T_2 :

$$V_c(T_2) = V_H \Rightarrow \frac{V_{in}}{mRC} T_2 = V_H \Rightarrow T_2 = \frac{mV_H}{V_{in}} RC. \quad (2.32)$$

U trenutku $t = T_2$ napon V_{cmp1} na izlazu komparatora CMP_1 se mijenja od $V_{cmp1} = 0$ na $V_{cmp1} = V_{DD}$, dok napon V_{cmp2} na izlazu komparatora CMP_2 ostaje nepromijenjen, $V_{cmp2} = V_{DD}$. Pošto je izlaz komparatora CMP_1 priključen na ulaz invertora, napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala se mijenja od $V_{out} = V_{DD}$ na $V_{out} = 0$. Samim tim, dvo-položajni prekidači S_1 i S_2 se prebacuju u položaj 2: drejn MOSFET-a M_6 se povezuje na integracioni kondenzator C , dok se izlaz komparatora CMP_2 priključuje na ulaz invertora, $V_{cmp2} = V_{DD}$. Napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala ostaje nepromijenjen, $V_{out} = 0$, i započinje nova faza.

2. Pražnjenje integracionog kondenzatora C ($V_{out} = 0$)

Napon V_c na integracionom kondenzatoru C mijenja se prema sljedećem zakonu:

$$\begin{aligned} V_c &= \frac{1}{C} \int I_c dt = \frac{1}{C} \int (I_{D4} - I_{D6}) dt = \frac{1}{C} \int \left(\frac{I_{in}}{m} - 2 \frac{I_{in}}{m} \right) dt \\ &= -\frac{1}{C} \int \frac{I_{in}}{m} dt = -\frac{1}{C} \int \frac{V_{in}}{mR} dt = -\frac{V_{in}}{mRC} t + A, \end{aligned} \quad (2.33)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0^-) = V_H, \quad (2.34)$$

$$V_c(0^+) = A. \quad (2.35)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.34) i (2.35) dobija se da je integraciona konstanta A data kao:

$$A = V_H. \quad (2.36)$$

Kombinovanjem relacija (2.33) i (2.26) dobija se napon V_c na integracionom kondenzatoru C :

$$V_c = V_H - \frac{V_{in}}{mRC} t. \quad (2.37)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_c na integracionom kondenzatoru C opada po linearnom zakonu sa protokom vremena t . Samim tim, odmah nakon početka ove faze postaje $V_L < V_c < V_H$, pa se napon na izlazu komparatora CMP_1 mijenja od $V_{cmp1} = V_{DD}$ na $V_{cmp1} = 0$, dok napon V_{cmp2} na izlazu komparatora CMP_2 ostaje nepromijenjen, $V_{cmp2} = V_{DD}$. Ovo ne utiče na izlazni napon $V_{out} = 0$, jer je dvo-položajni bilateralni CMOS prekidač S_2 u položaju 2. Napon V_c se spušta do referentnog napona V_L u trenutku T_3 :

$$V_c(T_3) = V_L \Rightarrow V_H - \frac{V_{in}}{mRC} T_3 = V_L \Rightarrow T_3 = m \frac{V_H - V_L}{V_{in}} RC. \quad (2.38)$$

U trenutku $t = T_3$ napon V_{cmp2} na izlazu komparatora CMP_2 se mijenja od $V_{cmp2} = V_{DD}$ na $V_{cmp2} = 0$, dok napon V_{cmp1} na izlazu komparatora CMP_1 ostaje nepromijenjen, $V_{cmp1} = 0$. Pošto je izlaz komparatora CMP_2 i dalje priključen na ulaz invertora, napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala se mijenja od $V_{out} = 0$ na $V_{out} = V_{DD}$. Samim tim, dvo-položajni prekidači S_1 i S_2 se prebacuju u položaj 1: drejn MOSFET-a M_6 se povezuje na napajanje V_{DD} , dok se izlaz komparatora CMP_1 priključuje na ulaz invertora, $V_{cmp1} = 0$. Napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala ostaje nepromijenjen, $V_{out} = V_{DD}$, i započinje nova faza.

3. Punjenje integracionog kondenzatora C ($V_{out} = V_{DD}$)

Napon V_c na integracionom kondenzatoru C mijenja se prema sljedećem zakonu:

$$V_c = \frac{1}{C} \int I_c dt = \frac{1}{C} \int I_{D4} dt = \frac{1}{C} \int \frac{I_{in}}{m} dt = \frac{1}{C} \int \frac{V_{in}}{mR} dt = \frac{V_{in}}{mRC} t + A, \quad (2.39)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_L, \quad (2.40)$$

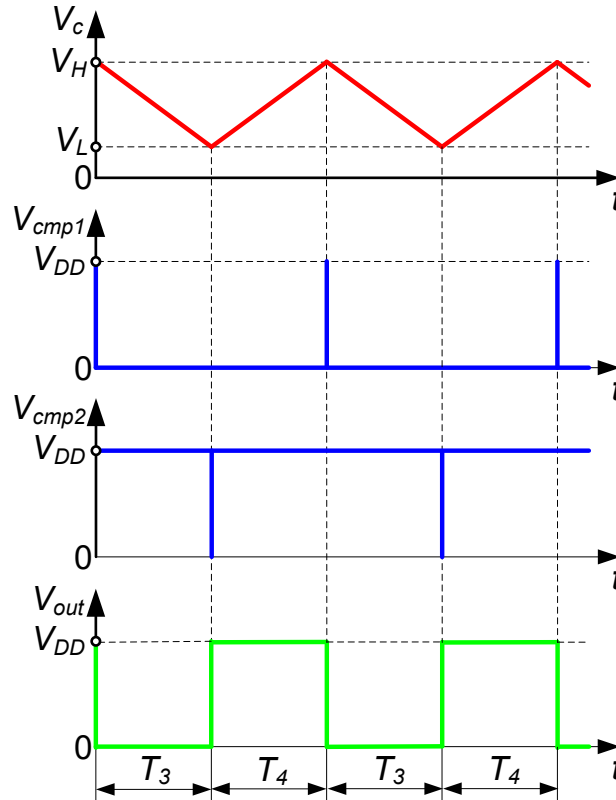
$$V_c(0+) = A. \quad (2.41)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.40) i (2.41) dobija se da je integraciona konstanta A data kao:

$$A = V_L. \quad (2.42)$$

Kombinovanjem relacija (2.39) i (2.42) dobija se napon V_c na integracionom kondenzatoru C :

$$V_c = V_L + \frac{V_{in}}{mRC} t. \quad (2.43)$$



Slika. 2.4. Talasni oblici napona V_c , V_{cmp1} , V_{cmp2} , i V_{out} u vremenskom domenu na integracionom kondenzatoru C , na izlazu komparatora CMP_1 , na izlazu komparatora CMP_2 , i na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3].

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_c na integracionom kondenzatoru C raste po linearnom zakonu sa protokom vremena t . Samim tim, odmah nakon početka ove faze postaje $V_L < V_c < V_H$, pa se napon na izlazu komparatora CMP_2 mijenja od $V_{cmp2} = 0$ na $V_{cmp2} = V_{DD}$, dok napon na izlazu komparatora CMP_1 ostaje nepromijenjen, $V_{cmp1} = 0$. Ovo ne utiče na izlazni napon $V_{out} = V_{DD}$, jer je dvo-položajni bilateralni CMOS prekidač S_2 u položaju 1. Napon V_c dostiže referentni napon V_H u trenutku T_4 :

$$V_c(T_4) = V_H \Rightarrow V_L + \frac{V_{in}}{mRC} T_4 = V_H \Rightarrow T_4 = m \frac{V_H - V_L}{V_{in}} RC. \quad (2.44)$$

U trenutku $t = T_4$ napon V_{cmp1} na izlazu komparatora CMP_1 se mijenja od $V_{cmp1} = 0$ na $V_{cmp1} = V_{DD}$, dok napon V_{cmp2} na izlazu komparatora CMP_2 ostaje nepromijenjen, $V_{cmp2} = V_{DD}$. Pošto je izlaz komparatora CMP_1 i dalje priključen na ulaz invertora, napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala se mijenja od $V_{out} = V_{DD}$ na $V_{out} = 0$. Samim tim, dvo-položajni prekidači S_1 i S_2 se prebacuju u položaj 2: drejn MOSFET-a M_6 se povezuje na integracioni kondenzator C , dok se izlaz komparatora CMP_2 priključuje na ulaz invertora, $V_{cmp2} = V_{DD}$. Napon na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala ostaje nepromijenjen, $V_{out} = 0$, i započinje nova faza koja je identična fazi broj 2.

Talasni oblici napona V_c , V_{cmp1} , V_{cmp2} , i V_{out} u vremenskom domenu na integracionom kondenzatoru C , na izlazu komparatora CMP_1 , na izlazu komparatora CMP_2 , i na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog

izvora i strujnog ponora [3] prikazani su na slici 2.4.

Sada se može izvesti zaključak o karakterističnim fazama rada multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora [3]. Prva faza neposredno nakon uključanja napona napajanja predstavlja prelaznu fazu, nakon čega se naizmjenično ponavljaju faze 2 i 3, čije je trajanje T_3 (2.38) i T_4 (2.44), redom. Pri tome važi: $T_3 = T_4$. Dakle, perioda T napona V_{out} na izlazu konvertora napona u frekvenciju predstavljena je sumom trajanja vremenskih intervala T_3 i T_4 , $T = T_3 + T_4 = 2T_3 = 2T_4$. Izraz za frekvenciju f izlaznog napona V_{out} može se izvesti na sljedeći način:

$$f = \frac{1}{T} = \frac{1}{T_3 + T_4} = \frac{V_{in}}{2m(V_H - V_L)RC} \cdot \frac{1}{RC} \quad (2.45)$$

2.1.3 Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora sa proširenim opsegom ulaznog napona [4] - [6]

Multivibratorski konvertor napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora sa proširenim opsegom ulaznog napona [4] - [6] prikazan je na slici 2.5. Njegov dizajn predstavlja modifikaciju dizajna predstavljenog u prethodnom poglavlju [3] sa proširenjem ulaznog naponskog opsega u širokom temperaturnom opsegu. Kolo se sastoji od konvertora ulaznog napona V_{in} u struju I_{in} realizovanog pomoću operacionih pojačavača OA_1 i OA_2 , p -kanalnih MOSFET-ova M_1 i M_2 , i otpornika R_1 , R_2 i R_3 , strujnog ogledala realizovanog pomoću p -kanalnih MOSFET-ova M_1 , M_2 , M_3 i M_4 (M_5) u konfiguraciji strujnog izvora, *wide-swing* strujnog ogledala realizovanog pomoću n -kanalnih MOSFET-ova M_6 - M_9 u konfiguraciji strujnog ponora, integracionog kondenzatora C , i naponskog prozorskog komparatora realizovanog pomoću komparatora CMP_H i CMP_L , dva referentna naponska izvora sa naponima V_H i V_L , $V_H > V_L$, i RS leča sa invertovanim ulaznim pobudama. Gejtovi MOSFET-ova M_4 i M_5 povezani su na izlaze invertora INV_L i INV_H , redom. Ovi invertori se koriste za prilagođavanje naponskih nivoa. Nizak logički nivo na izlazu invertora INV_L i INV_H predstavljen je naponom V_{REF} , dok je visok logički nivo predstavljen naponom V_{DD} . Ulazi invertora INV_L i INV_H povezani na izlaze RS leča Q i Q_{inv} , redom. Transkonduktanski parametar β_2 MOSFET-a M_2 je m puta veći od transkonduktanskog parametra β_3 MOSFET-a M_3 , $\beta_2 = m\beta_3$, $m > 1$. Pošto svi MOSFET-ovi rade u zasićenju, struja drejna I_{D3} MOSFET-a M_3 je m puta manja od struje drejna I_{D2} MOSFET-a M_2 : $I_{D2} = I_{in} = mI_{D3}$. Paralelno MOSFET-u M_3 dodat je DC strujni izvor I_{OFF} u cilju izbjegavanja grešaka koje se javljaju u strujnim ogledalima pri malim ulaznim strujama I_{in} .

Neinvertujući pojačavač realizovan pomoću operacionog pojačavača OA_2 i otpornika R_2 i R_3 djeluje kao attenuator ulaznog napona V_{in} :

$$V_x = \frac{R_2}{R_2 + R_3} V_{in} \quad (2.46)$$

Pogodan odnos otpornosti R_3 i R_2 omogućava regularan rad MOSFET-ova M_1 i M_2 čak i pri vrijednostima ulaznog napona V_{in} bliskim naponu napajanja V_{DD} . Na ovaj način vrši se proširenje ulaznog naponskog opsega konvertora napona u frekvenciju. Ulazna struja I_{in} izražava se kao:

$$I_{in} = \frac{V_x}{R_1} = \frac{R_2}{R_2 + R_3} \frac{V_{in}}{R_1} = \frac{V_{in}}{(1 + R_3/R_2)R_1} \quad (2.47)$$

$$\begin{aligned}
 V_c &= \frac{1}{C} \int I_c dt = \frac{1}{C} \int (I_{D3} + I_{OFF}) dt = \frac{1}{C} \int \left(\frac{I_{in}}{m} + I_{OFF} \right) dt \\
 &= \frac{1}{C} \int \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] dt = \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] t + A, \quad (2.48)
 \end{aligned}$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = 0, \quad (2.49)$$

$$V_c(0+) = A. \quad (2.50)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.49) i (2.50) dobija se da je integraciona konstanta A data kao:

$$A = 0. \quad (2.51)$$

Kombinovanjem relacija (2.48) i (2.51) dobija se napon V_c na integracionom kondenzatoru C :

$$V_c = \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] t. \quad (2.52)$$

Kako je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_c na integracionom kondenzatoru C raste po linearnom zakonu sa protokom vremena t . Napon V_c dostiže referentni naponi V_L u trenutku T_1 :

$$V_c(T_1) = V_L \Rightarrow \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] T_1 = V_L \Rightarrow T_1 = \frac{V_L C}{\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF}}. \quad (2.53)$$

U trenutku $t = T_1$ napon $V_{c_{mpl}}$ na izlazu komparatora CMP_L se mijenja od $V_{c_{mpl}} = 0$ na $V_{c_{mpl}} = V_{DD}$, dok napon $V_{c_{mph}}$ na izlazu komparatora CMP_1 ostaje nepromijenjen, $V_{c_{mph}} = V_{DD}$. Na ovaj način održava se zatečeno stanje na izlazu RS leča: $Q = 0$ i $Q_{inv} = V_{DD}$, pa se napon V_c na integracionom kondenzatoru C mijenja prema relaciji (2.52). Napon V_c dostiže referentni naponi V_H u trenutku T_2 :

$$V_c(T_2) = V_H \Rightarrow \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] T_2 = V_H \Rightarrow T_2 = \frac{V_H C}{\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF}}. \quad (2.54)$$

U trenutku $t = T_2$ napon $V_{c_{mph}}$ na izlazu komparatora CMP_H se mijenja od $V_{c_{mph}} = V_{DD}$ na $V_{c_{mph}} = 0$, dok je napon $V_{c_{mpl}}$ na izlazu komparatora CMP_L ostao nepromijenjen, $V_{c_{mpl}} = V_{DD}$. Dolazi do setovanja RS leča, $Q = V_{DD}$, $Q_{inv} = 0$. Posljedično, MOSFET M_5 je zakočen, dok MOSFET M_4 provodi, i započinje nova faza.

2. Pražnjenje integracionog kondenzatora C ($Q = V_{DD}$, $Q_{inv} = 0$)

Uzimajući u obzir da struju drejna I_{D3} MOSFET-a M_3 preuzima MOSFET M_4 , $I_{D4} = I_{D3} = I_{in}/m$, napon V_c na integracionom kondenzatoru C mijenja se prema sljedećem zakonu:

$$\begin{aligned}
 V_c &= \frac{1}{C} \int I_c dt = \frac{1}{C} \int (-I_{D3} - I_{OFF}) dt = -\frac{1}{C} \int \left(\frac{I_{in}}{m} + I_{OFF} \right) dt \\
 &= -\frac{1}{C} \int \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] dt = -\frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] t + A, \quad (2.55)
 \end{aligned}$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_H, \quad (2.56)$$

$$V_c(0+) = A. \quad (2.57)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.56) i (2.57) dobija se da je integraciona konstanta A data kao:

$$A = V_H. \quad (2.58)$$

Kombinovanjem relacija (2.55) i (2.58) dobija se napon V_c na integracionom kondenzatoru C :

$$V_c = V_H - \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] t. \quad (2.59)$$

Kako je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_c na integracionom kondenzatoru C opada po linearnom zakonu sa protokom vremena t . Samim tim, odmah nakon početka ove faze postaje $V_L < V_c < V_H$, pa se napon na izlazu komparatora CMP_H mijenja od $V_{cmph} = 0$ na $V_{cmph} = V_{DD}$, dok napon V_{cmpl} na izlazu komparatora CMP_L ostaje nepromijenjen, $V_{cmpl} = V_{DD}$. Na ovaj način održava se zatečeno stanje na izlazu RS leča: $Q = V_{DD}$ i $Q_{inv} = 0$, pa se napon V_c na integracionom kondenzatoru C mijenja prema relaciji (2.59). Napon V_c se spušta do napona V_L u trenutku T_3 :

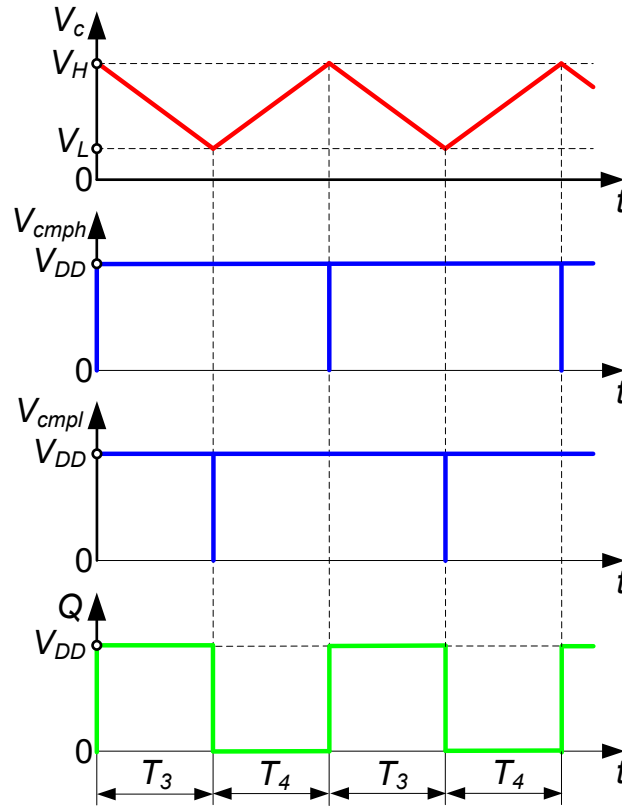
$$V_c(T_3) = V_L \Rightarrow V_H - \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] T_3 = V_L \Rightarrow T_3 = \frac{(V_H - V_L)C}{\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF}}. \quad (2.60)$$

U trenutku $t = T_3$ napon V_{cmpl} na izlazu komparatora CMP_L se mijenja od $V_{cmpl} = V_{DD}$ na $V_{cmpl} = 0$, dok je napon V_{cmph} na izlazu komparatora CMP_H ostao nepromijenjen, $V_{cmph} = V_{DD}$. Dolazi do resetovanja RS leča, $Q = 0$, $Q_{inv} = V_{DD}$. Posljedično, MOSFET M_5 provodi, dok je MOSFET M_4 zakočen, i započinje nova faza.

3. Punjenje integracionog kondenzatora C ($Q = 0$ i $Q_{inv} = V_{DD}$)

Uzimajući u obzir da struju drejna I_{D3} MOSFET-a M_3 preuzima MOSFET M_5 , $I_{D5} = I_{D3} = I_{in}/m$, napon V_c na integracionom kondenzatoru C mijenja se prema sljedećem zakonu:

$$\begin{aligned}
 V_c &= \frac{1}{C} \int I_c dt = \frac{1}{C} \int (I_{D3} + I_{OFF}) dt = \frac{1}{C} \int \left(\frac{I_{in}}{m} + I_{OFF} \right) dt \\
 &= \frac{1}{C} \int \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] dt = \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] t + A, \quad (2.61)
 \end{aligned}$$



Slika. 2.6. Talasni oblici napona V_c , V_{cmph} , V_{cmpl} , i Q u vremenskom domenu na integracionom kondenzatoru C , na izlazu komparatora CMP_H , na izlazu komparatora CMP_L , i na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora sa proširenim opsegom ulaznog napona [4] – [6].

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0^-) = V_L, \quad (2.62)$$

$$V_c(0^+) = A. \quad (2.63)$$

Pošto mora biti ispunjeno: $V_c(0^-) = V_c(0^+)$, na osnovu relacija (2.62) i (2.63) dobija se da je integraciona konstanta A data kao:

$$A = V_L. \quad (2.64)$$

Kombinovanjem relacija (2.61) i (2.64) dobija se napon V_c na integracionom kondenzatoru C :

$$V_c = V_L + \frac{1}{C} \left[\frac{V_{in}}{m(1 + R_3/R_2)R_1} + I_{OFF} \right] t. \quad (2.64)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_c na integracionom kondenzatoru C raste po linearnom zakonu sa protokom vremena t . Samim tim, odmah nakon početka ove faze postaje $V_L < V_c < V_H$, pa se napon na izlazu komparatora CMP_L mijenja od $V_{cmpl} = 0$ na $V_{cmpl} = V_{DD}$, dok napon V_{cmph} na izlazu komparatora CMP_H ostaje nepromijenjen, $V_{cmph} = V_{DD}$. Na ovaj način

održava se zatečeno stanje na izlazu RS leča: $Q = 0$ i $Q_{inv} = V_{DD}$, pa se napon V_c na integracionom kondenzatoru C mijenja prema relaciji (2.64). Napon V_c dostiže referentni naponi V_H u trenutku T_4 :

$$V_c(T_4) = V_H \Rightarrow V_L + \frac{1}{C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right] T_4 = V_H \Rightarrow T_4 = \frac{(V_H - V_L)C}{\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF}}. \quad (2.65)$$

U trenutku $t = T_4$ napon V_{cmph} na izlazu komparatora CMP_H se mijenja od $V_{cmph} = V_{DD}$ na $V_{cmph} = 0$, dok je napon V_{cmpl} na izlazu komparatora CMP_L ostao nepromijenjen, $V_{cmpl} = V_{DD}$. Dolazi do setovanja RS leča, $Q = V_{DD}$, $Q_{inv} = 0$. Posljedično, MOSFET M_5 je zakočen, dok MOSFET M_4 provodi, i započinje nova faza identična fazi broj 2.

Talasnici napona V_c , V_{cmph} , V_{cmpl} , i Q u vremenskom domenu na integracionom kondenzatoru C , na izlazu komparatora CMP_H , i CMP_L , i na izlazu multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora sa proširenim opsegom ulaznog napona [4] – [6] prikazani su na slici 2.6.

Sada se može izvesti zaključak o karakterističnim fazama rada multivibratorskog konvertora napona u frekvenciju sa dva strujna ogledala u konfiguraciji strujnog izvora i strujnog ponora sa proširenim opsegom ulaznog napona [4] – [6]. Prva faza neposredno nakon uključivanja napona napajanja predstavlja prelaznu fazu, nakon čega se naizmjenično ponavljaju faze 2 i 3, čije je trajanje T_3 (2.60) i T_4 (2.65), redom. Pri tome važi: $T_3 = T_4$. Dakle, perioda T napona Q na izlazu konvertora napona u frekvenciju predstavljena je sumom trajanja vremenskih intervala T_3 i T_4 , $T = T_3 + T_4 = 2T_3 = 2T_4$. Frekvencija f izlaznog napona Q može se izraziti kao:

$$f = \frac{1}{T} = \frac{1}{T_3 + T_4} = \frac{1}{2(V_H - V_L)C} \left[\frac{V_{in}}{m(1+R_3/R_2)R_1} + I_{OFF} \right]. \quad (2.66)$$

2.1.4 Multivibratorski konvertor diferencijalnog napona u frekvenciju [10]

Multivibratorski konvertor diferencijalnog napona u frekvenciju [10] prikazan je na slici 2.7. Kolo se sastoji od instrumentacionog pojačavača (*instrumentation amplifier*–INA), p -kanalnih MOSFET-ova M_1 – M_4 identičnih karakteristika koji rade u omskom režimu, integratora koji se sastoji od operacionog pojačavača OA i dva kondenzatora identičnih kapacitivnosti C , naponskog prozorskog komparatora realizovanog pomoću komparatora CMP_H i CMP_L , dva referentna naponska izvora sa naponima V_H i V_L , $V_H > V_L$, i RS leča sa invertovanim ulaznim pobudama. Za polarizaciju gejtova MOSFET-ova M_1 i M_4 , odnosno, M_2 i M_3 , koriste se izlazi V_{G1} i V_{G2} diferencijalnog pojačavača sa pasivnim opterećenjem R sa p -kanalnim MOSFET-ovima M_5 i M_6 , čiji su gejtovi povezani na izlaze Q i Q_{inv} RS leča, i polarizacijom pomoću DC strujnog izvora I_B .

Naponi V_X i V_Y na izlazima instrumentacionog pojačavača INA dati su kao:

$$V_X = A_d (V_{in1} - V_{in2}) + V_{REF}, \quad (2.67)$$

$$V_Y = -A_d (V_{in1} - V_{in2}) + V_{REF} \quad (2.68)$$

gdje je A_d diferencijalno pojačanje, a V_{REF} je referentni napon. Struje drejnova I_{D1} , I_{D2} , I_{D3} i I_{D4} MOSFET-ova u omskom režimu M_1 , M_2 , M_3 i M_4 , redom, mogu se izraziti na sljedeći način:

način RS leč se resetuje: $Q = 0$ i $Q_{inv} = V_{DD}$. Dakle, MOSFET M_5 provodi, a MOSFET M_6 je zakočen. Naponi na izlazima diferencijalnog pojačavača su $V_{G1} = RI_B$ i $V_{G2} = 0$. Korišćenjem relacije (2.76) dobija se napon V_x na na izlazu integratora:

$$\begin{aligned} V_x &= \frac{1}{C} \int I_2 dt - \frac{1}{C} \int I_1 dt = \frac{1}{C} \int (I_2 - I_1) dt = \frac{1}{C} \int 2A_d \beta_p (V_{G1} - V_{G2})(V_{in1} - V_{in2}) dt \\ &= \frac{2A_d \beta_p}{C} (V_{G1} - V_{G2})(V_{in1} - V_{in2})t + A = \frac{2A_d \beta_p RI_B}{C} (V_{in1} - V_{in2})t + A, \end{aligned} \quad (2.77)$$

gdje je A integraciona konstanta koja se određuje na bazi početnih uslova na integracionim kondenzatorima C_1 i C_2 :

$$V_x(0-) = V_{c2}(0-) - V_{c1}(0-) = 0, \quad (2.78)$$

$$V_x(0+) = V_{c2}(0+) - V_{c1}(0+) = A. \quad (2.79)$$

Pošto mora biti ispunjeno: $V_x(0-) = V_x(0+)$, na osnovu relacija (2.78) i (2.79) dobija se da je integraciona konstanta A data kao:

$$A = 0. \quad (2.80)$$

Kombinovanjem relacija (2.77) i (2.80) dobija se napon V_x na izlazu integratora:

$$V_x = \frac{2A_d \beta_p RI_B}{C} (V_{in1} - V_{in2})t. \quad (2.81)$$

Kako je zadovoljeno $V_{in1} > V_{in2}$, napon V_x na izlazu integratora raste po linearnom zakonu sa protokom vremena t . Napon V_x dostiže referentni naponi V_L u trenutku T_1 :

$$V_x(T_1) = V_L \Rightarrow \frac{2A_d \beta_p RI_B}{C} (V_{in1} - V_{in2})T_1 = V_L \Rightarrow T_1 = \frac{V_L C}{2A_d \beta_p RI_B (V_{in1} - V_{in2})}. \quad (2.82)$$

U trenutku $t = T_1$ napon V_{cmpl} na izlazu komparatora CMP_L se mijenja od $V_{cmpl} = 0$ na $V_{cmpl} = V_{DD}$, dok napon V_{cmph} na izlazu komparatora CMP_1 ostaje nepromijenjen, $V_{cmph} = V_{DD}$. Na ovaj način održava se zatečeno stanje na izlazu RS leča: $Q = 0$ i $Q_{inv} = V_{DD}$, pa se napon V_x na izlazu integratora mijenja prema relaciji (2.81). Napon V_x dostiže referentni naponi V_H u trenutku T_2 :

$$V_x(T_2) = V_H \Rightarrow \frac{2A_d \beta_p RI_B}{C} (V_{in1} - V_{in2})T_2 = V_H \Rightarrow T_2 = \frac{V_H C}{2A_d \beta_p RI_B (V_{in1} - V_{in2})}. \quad (2.83)$$

U trenutku $t = T_2$ napon V_{cmph} na izlazu komparatora CMP_H se mijenja od $V_{cmph} = V_{DD}$ na $V_{cmph} = 0$, dok je napon V_{cmpl} na izlazu komparatora CMP_L ostao nepromijenjen, $V_{cmpl} = V_{DD}$. Dolazi do setovanja RS leča, $Q = V_{DD}$, $Q_{inv} = 0$. Dakle, MOSFET M_5 je zakočen, a MOSFET M_6 provodi. Naponi na izlazima diferencijalnog pojačavača su $V_{G1} = 0$ i $V_{G2} = RI_B$, pa započinje nova faza.

2. MOSFET M_5 zakočen, MOSFET M_6 provodi ($Q = V_{DD}$, $Q_{inv} = 0$)

Korišćenjem relacije (2.76) dobija se napon V_x na na izlazu integratora:

$$V_x = \frac{1}{C} \int I_2 dt - \frac{1}{C} \int I_1 dt = \frac{1}{C} \int (I_2 - I_1) dt = \frac{1}{C} \int 2A_d \beta_p (V_{G1} - V_{G2})(V_{in1} - V_{in2}) dt$$

$$= \frac{2A_d\beta_p}{C}(V_{G1}-V_{G2})(V_{in1}-V_{in2})t + A = -\frac{2A_d\beta_p RI_B}{C}(V_{in1}-V_{in2})t + A, \quad (2.84)$$

gdje je A integraciona konstanta koja se određuje na bazi početnih uslova na integracionim kondenzatorima C_1 i C_2 :

$$V_x(0-) = V_{c2}(0-) - V_{c1}(0-) = V_H, \quad (2.85)$$

$$V_x(0+) = V_{c2}(0+) - V_{c1}(0+) = A. \quad (2.86)$$

Pošto mora biti ispunjeno: $V_x(0-) = V_x(0+)$, na osnovu relacija (2.85) i (2.86) dobija se da je integraciona konstanta A data kao:

$$A = V_H. \quad (2.87)$$

Kombinovanjem relacija (2.84) i (2.87) dobija se napon V_x na izlazu integratora:

$$V_x = V_H - \frac{2A_d\beta_p RI_B}{C}(V_{in1}-V_{in2})t. \quad (2.88)$$

Pošto je zadovoljeno $V_{in1} > V_{in2}$, napon V_x na izlazu integratora opada po linearnom zakonu sa protokom vremena t . Samim tim, odmah nakon početka ove faze postaje $V_L < V_c < V_H$, pa se napon na izlazu komparatora CMP_H mijenja od $V_{cmph} = 0$ na $V_{cmph} = V_{DD}$, dok napon V_{cmpl} na izlazu komparatora CMP_L ostaje nepromijenjen, $V_{cmpl} = V_{DD}$. Na ovaj način održava se zatečeno stanje na izlazu RS leča: $Q = V_{DD}$ i $Q_{inv} = 0$, pa se napon V_x na izlazu integratora mijenja prema relaciji (2.88). Napon V_x se spušta do referentnog napona V_L u trenutku T_3 :

$$V_x(T_3) = V_L \Rightarrow V_H - \frac{2A_d\beta_p RI_B}{C}(V_{in1}-V_{in2})T_3 = V_L \Rightarrow T_3 = \frac{(V_H - V_L)C}{2A_d\beta_p RI_B(V_{in1}-V_{in2})}. \quad (2.89)$$

U trenutku $t = T_3$ napon V_{cmpl} na izlazu komparatora CMP_L se mijenja od $V_{cmpl} = V_{DD}$ na $V_{cmpl} = 0$, dok je napon V_{cmph} na izlazu komparatora CMP_H ostao nepromijenjen, $V_{cmph} = V_{DD}$. Dolazi do resetovanja RS leča, $Q = 0$, $Q_{inv} = V_{DD}$. Dakle, MOSFET M_5 provodi, a MOSFET M_6 je zakočen. Naponi na izlazima diferencijalnog pojačavača su $V_{G1} = RI_B$ i $V_{G2} = 0$, pa započinje nova faza.

3. MOSFET M_5 provodi, MOSFET M_6 zakočen ($Q = 0$ i $Q_{inv} = V_{DD}$)

Korišćenjem relacije (2.76) dobija se napon V_x na na izlazu integratora:

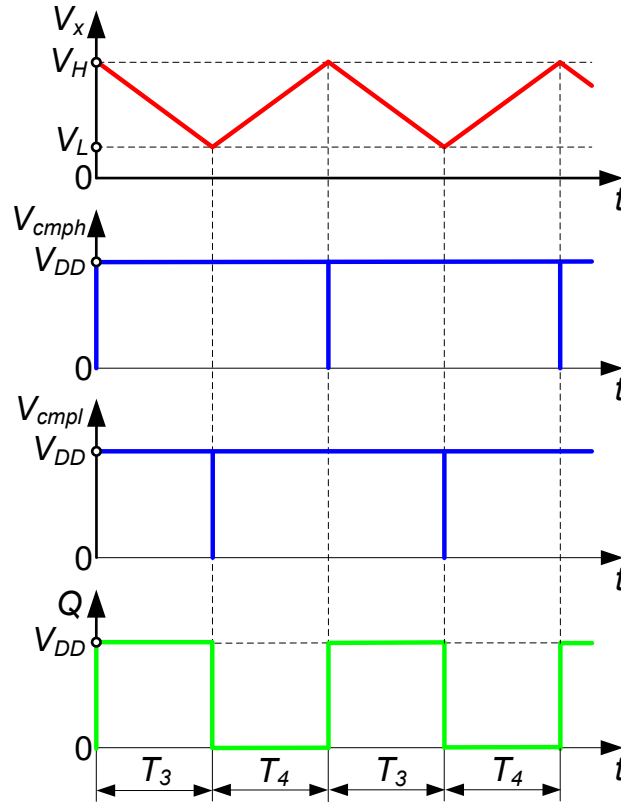
$$\begin{aligned} V_x &= \frac{1}{C} \int I_2 dt - \frac{1}{C} \int I_1 dt = \frac{1}{C} \int (I_2 - I_1) dt = \frac{1}{C} \int 2A_d\beta_p (V_{G1} - V_{G2})(V_{in1} - V_{in2}) dt \\ &= \frac{2A_d\beta_p}{C}(V_{G1}-V_{G2})(V_{in1}-V_{in2})t + A = \frac{2A_d\beta_p RI_B}{C}(V_{in1}-V_{in2})t + A, \end{aligned} \quad (2.90)$$

gdje je A integraciona konstanta koja se određuje na bazi početnih uslova na integracionim kondenzatorima C_1 i C_2 :

$$V_x(0-) = V_{c2}(0-) - V_{c1}(0-) = V_L, \quad (2.91)$$

$$V_x(0+) = V_{c2}(0+) - V_{c1}(0+) = A. \quad (2.92)$$

Pošto mora biti ispunjeno: $V_x(0-) = V_x(0+)$, na osnovu relacija (2.91) i (2.92) dobija se da je



Slika. 2.8. Talasni oblici napona V_x , V_{cmph} , V_{cmpl} , i Q u vremenskom domenu na izlazu integratora, na izlazu komparatora CMP_H , na izlazu komparatora CMP_L , i na izlazu multivibratorskog konvertora diferencijalnog napona u frekvenciju [10].

integraciona konstanta A data kao:

$$A = V_L. \quad (2.93)$$

Kombinovanjem relacija (2.90) i (2.93) dobija se napon V_x na izlazu integratora:

$$V_x = V_L + \frac{2A_d\beta_p R I_B}{C} (V_{in1} - V_{in2}) t. \quad (2.94)$$

Pošto je zadovoljeno $V_{in1} > V_{in2}$, napon V_x na izlazu integratora raste po linearnom zakonu sa protokom vremena t . Samim tim, odmah nakon početka ove faze postaje $V_L < V_c < V_H$, pa se napon na izlazu komparatora CMP_L mijenja od $V_{cmpl} = 0$ na $V_{cmpl} = V_{DD}$, dok napon V_{cmph} na izlazu komparatora CMP_H ostaje nepromijenjen, $V_{cmph} = V_{DD}$. Na ovaj način održava se zatečeno stanje na izlazu RS leća: $Q = 0$ i $Q_{inv} = V_{DD}$, pa se napon V_x na izlazu integratora mijenja prema relaciji (2.94). Napon V_x dostiže referentni naponi V_H u trenutku T_4 :

$$V_x(T_4) = V_H \Rightarrow V_L + \frac{2A_d\beta_p R I_B}{C} (V_{in1} - V_{in2}) T_4 = V_H \Rightarrow T_4 = \frac{(V_H - V_L) C}{2A_d\beta_p R I_B (V_{in1} - V_{in2})}. \quad (2.95)$$

U trenutku $t = T_4$ napon V_{cmph} na izlazu komparatora CMP_H se mijenja od $V_{cmph} = V_{DD}$ na $V_{cmph} = 0$, dok je napon V_{cmpl} na izlazu komparatora CMP_L ostao nepromijenjen, $V_{cmpl} = V_{DD}$. Dolazi do setovanja RS leća, $Q = V_{DD}$, $Q_{inv} = 0$. Dakle, MOSFET M_5 je zakočen, a MOSFET M_6 provodi.

Naponi na izlazima diferencijalnog pojačavača su $V_{G1} = 0$ i $V_{G2} = RI_B$, pa započinje nova faza identična fazi broj 2.

Talasnici napona V_x , V_{cmph} , V_{cmpl} , i Q u vremenskom domenu na izlazu integratora, na izlazu komparatora CMP_H , i CMP_L , i na izlazu multivibratorskog konvertora diferencijalnog napona u frekvenciju [10] prikazani su na slici 2.8.

Sada se može izvesti zaključak o karakterističnim fazama rada multivibratorskog konvertora diferencijalnog napona u frekvenciju [10]. Prva faza neposredno nakon uključanja napona napajanja predstavlja prelaznu fazu, nakon čega se naizmjenično ponavljaju faze 2 i 3, čije je trajanje T_3 (2.89) i T_4 (2.95), redom. Pri tome važi: $T_3 = T_4$. Dakle, perioda T napona Q na izlazu konvertora napona u frekvenciju predstavljena je sumom trajanja vremenskih intervala T_3 i T_4 , $T = T_3 + T_4 = 2T_3 = 2T_4$. Izraz za frekvenciju f izlaznog napona Q može se izraziti kao:

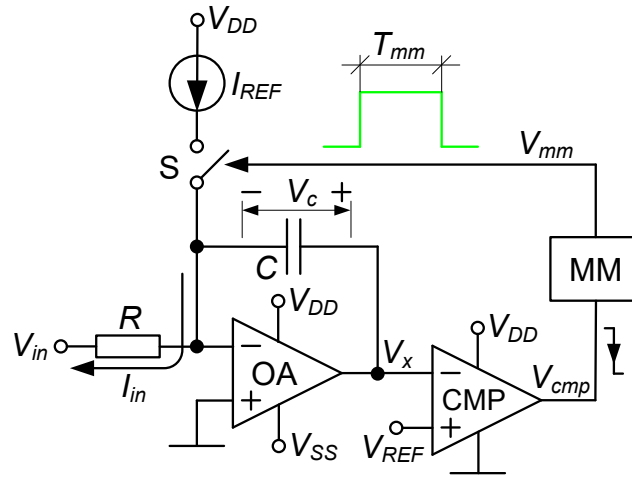
$$f = \frac{1}{T} = \frac{1}{T_3 + T_4} = \frac{A_d \beta_p R I_B (V_{in1} - V_{in2})}{(V_H - V_L) C}. \quad (2.96)$$

2.2 Konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Bazni koncept funkcionisanja konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja predstavljen je u [1], [2], [11] – [13]. Ovaj koncept podrazumijeva trigerovanje izvora naelektrisanja u trenutku kada napon na izlazu integratora koji je proporcionalan ulaznom naponu dostigne prag komparatora. Trigerovanjem izvora naelektrisanja odgovarajuća količina naelektrisanja se izbacuje iz integracionog kondenzatora. Brzina pri kojoj se naelektrisanje izbacuje iz integracionog kondenzatora mora biti uravnotežena sa brzinom pri kojoj se naelektrisanje pod uticajem ulaznog naponskog izvora ubacuje u integracioni kondenzator. Frekvencija trigerovanja izvora naelektrisanja direktno je proporcionalna ulaznom naponu. Ovaj tip konvertora napona u frekvenciju složeniji je za realizaciju, ima veće zahtjeve za potrošnjom, i spada u kategoriju analogno-digitalnih konvertora visoke tačnosti (rezolucije).

2.2.1 Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13]

Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13] prikazan je na slici 2.9. Kolo se sastoji od integratora sa naponskim procesiranjem realizovanog pomoću operacionog pojačavača OA, otpornika R i kondenzatora C , komparatora CMP, referentnog naponskog izvora V_{REF} , monostabilnog multivibratora (*monostable multivibrator* – MM), bilateralnog CMOS prekidača S, i DC referentnog strujnog izvora I_{REF} . Uslov koji mora biti ispunjen da bi predloženo rješenje moglo da funkcioniše jeste da je DC referentna struja I_{REF} veća od najveće vrijednosti ulazne struje I_{in} koja zavisi od ulaznog napona V_{in} : $I_{REF} > I_{inmax}$. Drugim riječima, DC referentna struje I_{REF} treba da bude veća od ulazne struje I_{in} za sve vrijednosti ulaznog napona V_{in} : $I_{REF} > I_{in}$, $0 < V_{in} < V_{inmax}$. Sa druge strane, polariteti ulaznog napona V_{in} i referentnog napona V_{REF} moraju biti suprotni.



Slika. 2.9. Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13].

Monostabilni multivibrator MM okida se na opadajuću ivicu signala V_{cmp} sa izlaza komparatora CMP. Njegovo stabilno stanje predstavljeno je izlaznim naponom $V_{mm} = 0$, dok je kvazistabilno stanje okarakterisano izlaznim naponom $V_{mm} = V_{DD}$ tačno poznatog trajanja T_{mm} .

Polazeći od pretpostavke da je ulazni napon V_{in} negativan, $V_{in} < 0$ ($V_{REF} > 0$), i da je tokom trajanja integracije ulazna struja $I_{in} = -V_{in}/R$ konstantna veličina, $I_{in} = const.$, pojedine faze rada konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13] čija je šema prikazana na slici 2.9 mogu se matematički modelovati na sljedeći način:

1. Odmah nakon uključenja napona napajanja

U trenutku uključenja napajanja V_{DD} integracioni kondenzator C je prazan, $V_c = 0$. Pošto je napon V_x na izlazu integratora jednak naponu V_c na integracionom kondenzatoru C , $V_x = V_c$, napon V_{cmp} na izlazu komparatora iznosi $V_{cmp} = V_{DD}$. Monostabilni multivibrator MM je u stabilnom stanju, pa napon V_{mm} na njegovom izlazu iznosi $V_{mm} = 0$. Posljedično, bilateralni CMOS prekidač S je otvoren, pa kroz integracioni kondenzator protiče ulazna struja $I_{in} = -V_{in}/R$. Napon V_x na izlazu integratora (napon V_c na integracionom kondenzatoru C) mijenja se prema sljedećem zakonu:

$$V_x = V_c = \frac{1}{C} \int I_{in} dt = -\frac{1}{C} \int \frac{V_{in}}{R} dt = -\frac{V_{in}}{RC} t + A, \quad (2.97)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = 0, \quad (2.98)$$

$$V_c(0+) = A. \quad (2.99)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.98) i (2.99) dobija se da je integraciona konstanta A data kao:

$$A = 0. \quad (2.100)$$

Kombinovanjem relacija (2.97) i (2.100) dobija se napon V_x na izlazu integratora:

$$V_x = V_c = -\frac{V_{in}}{RC}t. \quad (2.101)$$

Pošto je ulazni napon V_{in} negativan, $V_{in} < 0$, napon V_x na izlazu integratora raste po linearnom zakonu sa protokom vremena t . Napon V_x dostiže referentni naponi V_{REF} u trenutku T_1 :

$$V_x(T_1) = V_c(T_1) = V_{REF} \Rightarrow -\frac{V_{in}}{RC}T_1 = V_{REF} \Rightarrow T_1 = -\frac{V_{REF}}{V_{in}}RC. \quad (2.102)$$

U trenutku $t = T_1$ napon V_{cmp} na izlazu komparatora CMP mijenja se od $V_{cmp} = V_{DD}$ na $V_{cmp} = 0$. Na ovaj način dolazi do okidanja monostabilnog multivibratora MM koji prelazi u kvazistabilno stanje, pa napon V_{mm} na njegovom izlazu postaje $V_{mm} = V_{DD}$. Sada je bilateralni CMOS prekidač S zatvoren, pa započinje nova faza.

2. Kvazistabilno stanje monostabilnog multivibratora MM ($V_{mm} = V_{DD}$)

Kroz integracioni kondenzator C protiče razlika DC referentne struje I_{REF} i ulazne struje $I_{in} = -V_{in}/R$. Pošto je $I_{REF} > I_{in}$, napon V_x na izlazu integratora (napon V_c na integracionom kondenzatoru C) mijenja se prema sljedećem zakonu:

$$V_x = V_c = -\frac{1}{C} \int (I_{REF} - I_{in}) dt = -\frac{1}{C} \int \left(I_{REF} + \frac{V_{in}}{R} \right) dt = -\frac{1}{C} \left(I_{REF} + \frac{V_{in}}{R} \right) t + A, \quad (2.103)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_{REF}, \quad (2.104)$$

$$V_c(0+) = A. \quad (2.105)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.104) i (2.105) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF}. \quad (2.106)$$

Kombinovanjem relacija (2.103) i (2.106) dobija se napon V_x na izlazu integratora:

$$V_x = V_c = V_{REF} - \frac{1}{C} \left(I_{REF} + \frac{V_{in}}{R} \right) t. \quad (2.107)$$

Pošto je $I_{REF} > I_{in} = -V_{in}/R$, napon V_x na izlazu integratora opada po linearnom zakonu sa protokom vremena t . Odmah nakon početka ove faze napon V_{cmp} na izlazu komparatora CMP mijenja se od $V_{cmp} = 0$ na $V_{cmp} = V_{DD}$. Napon V_x na kraju kvazistabilnog stanja monostabilnog multivibratora MM iznosi:

$$V_x(T_{mm}) = V_c(T_{mm}) = V_{REF} - \frac{1}{C} \left(I_{REF} + \frac{V_{in}}{R} \right) T_{mm}. \quad (2.108)$$

Nakon završetka kvazistabilnog stanja, monostabilni multivibrator MM prelazi u stabilno stanje, pa napon V_{mm} na njegovom izlazu postaje $V_{mm} = 0$. Sada je bilateralni CMOS prekidač S otvoren, pa započinje nova faza.

3. Stabilno stanje monostabilnog multivibratora MM ($V_{mm} = 0$)

Kroz integracioni kondenzator protiče ulazna struja $I_{in} = -V_{in}/R$. Napon V_x na izlazu integratora (napon V_c na integracionom kondenzatoru C) mijenja se prema sljedećem zakonu:

$$V_x = V_c = \frac{1}{C} \int I_{in} dt = -\frac{1}{C} \int \frac{V_{in}}{R} dt = -\frac{V_{in}}{RC} t + A, \quad (2.109)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_{REF} - \frac{1}{C} \left(I_{REF} + \frac{V_{in}}{R} \right) T_{mm}, \quad (2.110)$$

$$V_c(0+) = A. \quad (2.111)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.110) i (2.111) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF} - \frac{1}{C} \left(I_{REF} + \frac{V_{in}}{R} \right) T_{mm}. \quad (2.112)$$

Kombinovanjem relacija (2.109) i (2.112) dobija se napon V_x na izlazu integratora:

$$V_x = V_c = V_{REF} - \frac{1}{C} \left(I_{REF} + \frac{V_{in}}{R} \right) T_{mm} - \frac{V_{in}}{RC} t. \quad (2.113)$$

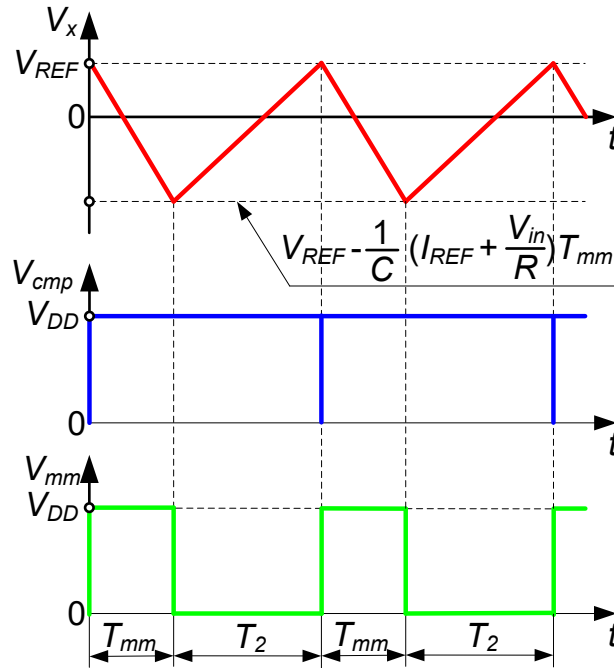
Pošto je ulazni napon V_{in} negativan, $V_{in} < 0$, napon V_x na izlazu integratora raste po linearnom zakonu sa protokom vremena t . Napon V_x dostiže referentni naponi V_{REF} u trenutku T_2 :

$$V_x(T_2) = V_c(T_2) = V_{REF} \Rightarrow T_2 = -\left(\frac{RI_{REF}}{V_{in}} + 1 \right) T_{mm}. \quad (2.114)$$

U trenutku $t = T_2$ napon V_{cmp} na izlazu komparatora CMP mijenja se od $V_{cmp} = V_{DD}$ na $V_{cmp} = 0$. Na ovaj način dolazi do okidanja monostabilnog multivibratora MM koji prelazi u kvazistabilno stanje, pa napon V_{mm} na njegovom izlazu postaje $V_{mm} = V_{DD}$. Sada je bilateralni CMOS prekidač S zatvoren, pa započinje nova faza identična fazi broj 2.

Talasnici napona V_x , V_{cmp} i V_{mm} u vremenskom domenu na izlazu integratora, na izlazu komparatora CMP i na izlazu monostabilnog multivibratora MM konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13] prikazani su na slici 2.10.

Sada se može izvesti zaključak o karakterističnim fazama rada konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13]. Prva faza neposredno nakon uključenja napona napajanja predstavlja prelaznu fazu, nakon čega se naizmjenično ponavljaju faze 2 i 3, čije je trajanje T_{mm} i T_2 (2.114). Dakle, perioda T napona V_{mm} na izlazu monostabilnog multivibratora koji ujedno predstavlja i izlaz konvertora napona u frekvenciju predstavljena je sumom trajanja vremenskih intervala T_{mm} i T_2 , $T = T_{mm} + T_2$. Frekvencija f izlaznog napona V_{mm} može se izraziti kao:



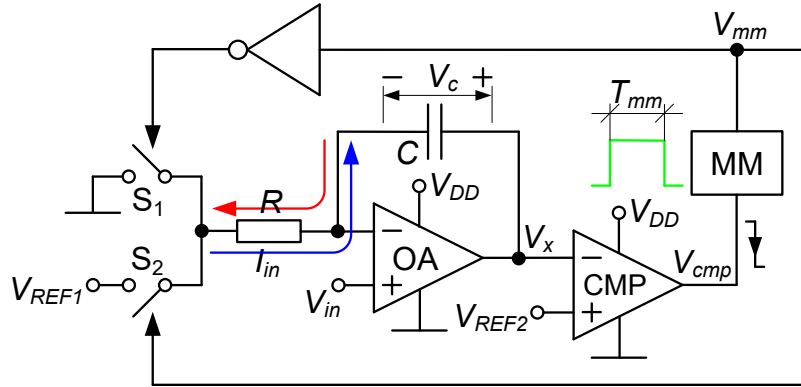
Slika. 2.10. Talasni oblici napona V_x , V_{cmp} i V_{mm} u vremenskom domenu na izlazu integratora, na izlazu komparatora CMP i na izlazu monostabilnog multivibratora MM konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa referentnim strujnim izvorom [1], [2], [11] – [13].

$$f = \frac{1}{T} = \frac{1}{T_{mm} + T_2} = -\frac{V_{in}}{RI_{REF}} \frac{1}{T_{mm}}. \quad (2.115)$$

2.2.2 Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15]

Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15] prikazan je na slici 2.11. Kolo se sastoji od integratora sa naponskim procesiranjem realizovanog pomoću operacionog pojačavača OA, otpornika R i kondenzatora C , komparatora CMP, dva referentna naponska izvora V_{REF1} , i V_{REF2} , monostabilnog multivibratora MM, dva bilateralna CMOS prekidača S_1 i S_2 , i invertora. Referentni naponi V_{REF1} i V_{REF2} , kao i ulazni napon V_{in} su pozitivne veličine. Uslov koji mora biti ispunjen da bi predloženo rješenje moglo da funkcioniše jeste da su oba referentna napona V_{REF1} i V_{REF2} veća od najveće vrijednosti ulaznog napona V_{in} : $V_{REF1}, V_{REF2} > V_{inmax}$. Monostabilni multivibrator MM okida se na opadajuću ivicu signala V_{cmp} sa izlaza komparatora CMP. Njegovo stabilno stanje predstavljeno je izlaznim naponom $V_{mm} = 0$, dok je kvazistabilno stanje okarakterisano izlaznim naponom $V_{mm} = V_{DD}$ tačno poznatog trajanja T_{mm} .

Polazeći od pretpostavke da je ulazni napon V_{in} pozitivan, $V_{in} > 0$, i da je tokom trajanja integracije ulazna struja I_{in} konstantna veličina, $I_{in} = const.$, pojedine faze rada konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15] čija je šema prikazana na slici 2.11 mogu se matematički modelovati na sljedeći način:



Slika. 2.11. Konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15].

1. Odmah nakon uključanja napona napajanja

U trenutku uključanja napajanja V_{DD} integracioni kondenzator C je prazan, $V_c = 0$. Pošto je napon V_x na izlazu integratora jednak sumi napona V_c na integracionom kondenzatoru C i ulaznog napona V_{in} , $V_x = V_c + V_{in}$, napon V_x na izlazu integratora u trenutku uključanja napona napajanja iznosi $V_x = V_{in} < V_{REF2}$. Napon V_{cmp} na izlazu komparatora iznosi $V_{cmp} = V_{DD}$. Monostabilni multivibrator MM je u stabilnom stanju, pa napon V_{mm} na njegovom izlazu iznosi $V_{mm} = 0$. Posljedično, bilateralni CMOS prekidač S_1 je zatvoren, a bilateralni CMOS prekidač S_2 je otvoren, pa kroz integracioni kondenzator protiče ulazna struja $I_{in} = V_{in}/R$. Napon V_x na izlazu integratora mijenja se prema sljedećem zakonu:

$$V_x = V_{in} + \frac{1}{C} \int I_{in} dt = V_{in} + \frac{1}{C} \int \frac{V_{in}}{R} dt = V_{in} + \frac{V_{in}}{RC} t + A, \quad (2.116)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_x(0-) - V_{in}(0-) = 0, \quad (2.117)$$

$$V_c(0+) = V_x(0+) - V_{in}(0+) = A. \quad (2.118)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.117) i (2.118) dobija se da je integraciona konstanta A data kao:

$$A = 0. \quad (2.119)$$

Kombinovanjem relacija (2.116) i (2.119) dobija se napon V_x na izlazu integratora:

$$V_x = V_{in} + \frac{V_{in}}{RC} t. \quad (2.120)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_x na izlazu integratora raste po linearnom zakonu sa protokom vremena t . Napon V_x dostiže referentni naponi V_{REF2} u trenutku T_1 :

$$V_x(T_1) = V_{REF2} \Rightarrow V_{in} + \frac{V_{in}}{RC} T_1 = V_{REF2} \Rightarrow T_1 = \left(\frac{V_{REF2}}{V_{in}} - 1 \right) RC. \quad (2.121)$$

U trenutku $t = T_I$ napon V_{cmp} na izlazu komparatora CMP mijenja se od $V_{cmp} = V_{DD}$ na $V_{cmp} = 0$. Na ovaj način dolazi do okidanja monostabilnog multivibratora MM koji prelazi u kvazistabilno stanje, pa napon V_{mm} na njegovom izlazu postaje $V_{mm} = V_{DD}$. Sada je bilateralni CMOS prekidač S_1 otvoren, a bilateralni CMOS prekidač S_2 je zatvoren, pa započinje nova faza.

2. Kvazistabilno stanje monostabilnog multivibratora MM ($V_{mm} = V_{DD}$)

Kroz integracioni kondenzator C protiče ulazna struja $I_{in} = (V_{REF1} - V_{in})/R$. Pošto je $V_{REF1} > V_{in}$, napon V_x na izlazu integratora mijenja se prema sljedećem zakonu:

$$V_x = V_{in} - \frac{1}{C} \int I_{in} dt = V_{in} - \frac{1}{C} \int \frac{V_{REF1} - V_{in}}{R} dt = V_{in} - \frac{V_{REF1} - V_{in}}{RC} t + A, \quad (2.122)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :

$$V_c(0-) = V_x(0-) - V_{in}(0-) = V_{REF2} - V_{in}, \quad (2.123)$$

$$V_c(0+) = V_x(0+) - V_{in}(0+) = A. \quad (2.124)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.123) i (2.124) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF2} - V_{in}. \quad (2.125)$$

Kombinovanjem relacija (2.122) i (2.125) dobija se napon V_x na izlazu integratora:

$$V_x = V_{REF2} - \frac{V_{REF1} - V_{in}}{RC} t. \quad (2.126)$$

Pošto je $V_{REF1} > V_{in}$, napon V_x na izlazu integratora opada po linearnom zakonu sa protokom vremena t . Odmah nakon početka ove faze napon V_{cmp} na izlazu komparatora CMP mijenja se od $V_{cmp} = 0$ na $V_{cmp} = V_{DD}$. Napon V_x na kraju kvazistabilnog stanja monostabilnog multivibratora MM iznosi:

$$V_x(T_{mm}) = V_{REF2} - \frac{V_{REF1} - V_{in}}{RC} T_{mm}. \quad (2.127)$$

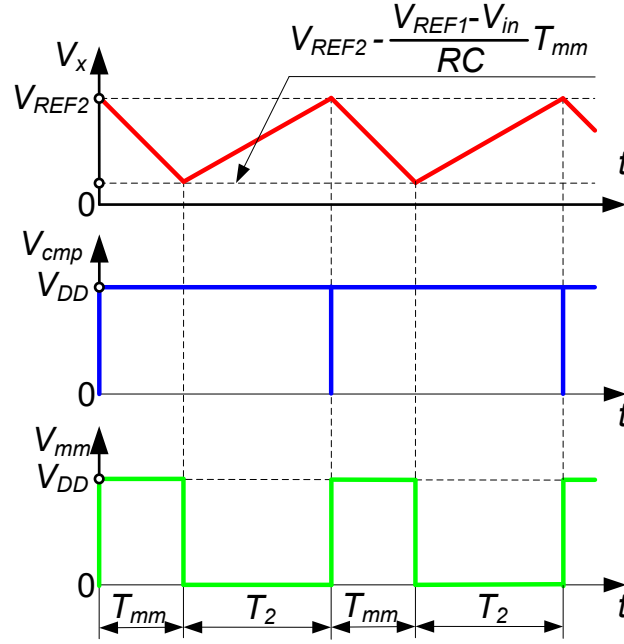
Nakon završetka kvazistabilnog stanja, monostabilni multivibrator MM prelazi u stabilno stanje, pa napon V_{mm} na njegovom izlazu postaje $V_{mm} = 0$. Sada je bilateralni CMOS prekidač S_1 otvoren, a bilateralni CMOS prekidač S_2 je zatvoren, pa započinje nova faza.

3. Stabilno stanje monostabilnog multivibratora MM ($V_{mm} = 0$)

Kroz integracioni kondenzator protiče ulazna struja $I_{in} = V_{in}/R$. Napon V_x na izlazu integratora mijenja se prema sljedećem zakonu:

$$V_x = V_{in} + \frac{1}{C} \int I_{in} dt = V_{in} + \frac{1}{C} \int \frac{V_{in}}{R} dt = V_{in} + \frac{V_{in}}{RC} t + A, \quad (2.128)$$

gdje je A integraciona konstanta koja se određuje na bazi početnog uslova na integracionom kondenzatoru C :



Slika. 2.12. Talasni oblici napona V_x , V_{cmp} i V_{mm} u vremenskom domenu na izlazu integratora, na izlazu komparatora CMP i na izlazu monostabilnog multivibratora MM konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15].

$$V_c(0-) = V_x(0-) - V_{in}(0-) = V_{REF2} - \frac{V_{REF1} - V_{in}}{RC} T_{mm} - V_{in}, \quad (2.129)$$

$$V_c(0+) = V_x(0+) - V_{in}(0+) = A. \quad (2.130)$$

Pošto mora biti ispunjeno: $V_c(0-) = V_c(0+)$, na osnovu relacija (2.129) i (2.130) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF2} - \frac{V_{REF1} - V_{in}}{RC} T_{mm} - V_{in}. \quad (2.131)$$

Kombinovanjem relacija (2.128) i (2.131) dobija se napon V_x na izlazu integratora:

$$V_x = V_{REF2} - \frac{V_{REF1} - V_{in}}{RC} T_{mm} + \frac{V_{in}}{RC} t. \quad (2.132)$$

Pošto je ulazni napon V_{in} pozitivan, $V_{in} > 0$, napon V_x na izlazu integratora raste po linearnom zakonu sa protokom vremena t . Napon V_x dostiže referentni naponi V_{REF2} u trenutku T_2 :

$$V_x(T_2) = V_{REF2} \Rightarrow T_2 = \left(\frac{V_{REF1}}{V_{in}} - 1 \right) T_{mm}. \quad (2.133)$$

U trenutku $t = T_2$ napon V_{cmp} na izlazu komparatora CMP mijenja se od $V_{cmp} = V_{DD}$ na $V_{cmp} = 0$. Na ovaj način dolazi do okidanja monostabilnog multivibratora MM koji prelazi u kvazistabilno stanje, pa napon V_{mm} na njegovom izlazu postaje $V_{mm} = V_{DD}$. Sada je bilateralni CMOS prekidač S_1 otvoren, a bilateralni CMOS prekidač S_2 je zatvoren, pa započinje nova faza identična fazi broj 2.

Talasni oblici napona V_x , V_{cmp} i V_{mm} u vremenskom domenu na izlazu integratora, na izlazu komparatora CMP i na izlazu monostabilnog multivibratora MM konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15] prikazani su na slici 2.12.

Sada se može izvesti zaključak o karakterističnim fazama rada konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa dva referentna naponska izvora [14], [15]. Prva faza neposredno nakon uključanja napona napajanja predstavlja prelaznu fazu, nakon čega se naizmjenično ponavljaju faze 2 i 3, čije je trajanje T_{mm} i T_2 (2.133). Dakle, perioda T napona V_{mm} na izlazu monostabilnog multivibratora koji ujedno predstavlja i izlaz konvertora napona u frekvenciju predstavljena je sumom trajanja vremenskih intervala T_{mm} i T_2 , $T = T_{mm} + T_2$. Frekvencija f izlaznog napona V_{mm} može se izraziti kao:

$$f = \frac{1}{T} = \frac{1}{T_{mm} + T_2} = \frac{V_{in}}{V_{REF1}} \frac{1}{T_{mm}}. \quad (2.134)$$

3. Visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja

3.1 Frekventno ograničenje standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja koja protiče kroz integrator

Standardni konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja [1], [2], [11] - [15] prikazani su na slikama 2.9 i 2.11, a odgovarajući matematički modeli u vremenskom domenu predstavljeni su relacijama (2.101), (2.107), (2.113), (2.120), (2.126) i (2.132). Da bi se utvrdio uticaj prekidačkog rada bilateralnog CMOS prekidača i DC referentnog strujnog izvora I_{REF} na ponašanje konvertora napona u frekvenciju, slika 2.9, biće sprovedena analiza frekventnih karakteristika njegovog integratora kao gradivnog elementa koji predstavlja limitirajući faktor sa aspekta frekventnog odziva čitavog konvertora napona u frekvenciju. U ovoj analizi polazi se od pretpostavke da je ulazni napon V_{in} konstantna (DC) veličina, dok se prekidački rad bilateralnog CMOS prekidača i referentni strujni izvor I_{REF} modeluju AC strujnim izvorom i_{ref} . Model za male signale integratora u sklopu konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazan je na slici 3.1a). U analizi se polazi od pretpostavke da se prenosna karakteristika operacionog pojačavača može predstaviti kao [16]:

$$A(s) = \frac{A_0}{1 + s/\omega_p}, \quad (3.1)$$

gdje je $s = j\omega$, $\omega = 2\pi f$, f učestanost prekidanja bilateralnog CMOS prekidača, A_0 diferencijalno pojačanje operacionog pojačavača za učestanosti $\omega \ll \omega_p$, a ω_p je dominantni pol. Amplitudno-frekventna karakteristika operacionog pojačavača (3.1) prikazana je na slici 3.1b). Analiza za male signale integratora u sklopu konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja dovodi do sljedećeg izraza za prenosnu karakteristiku u formi transimpedanse $T_{int}(s)$ izraženu kao odnos izlaznog napona v_x i ulazne struje i_{ref} :

$$T_{int}(s) = \frac{v_x}{i_{ref}} \approx -\frac{A_0\omega_p}{C} \frac{1}{s^2 + s \frac{1 + A_0\omega_p RC}{RC} + \frac{\omega_p}{RC}} = -\frac{A_0\omega_p}{C} \frac{1}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} = \frac{T_{int0}\omega_0^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2}, \quad (3.2)$$

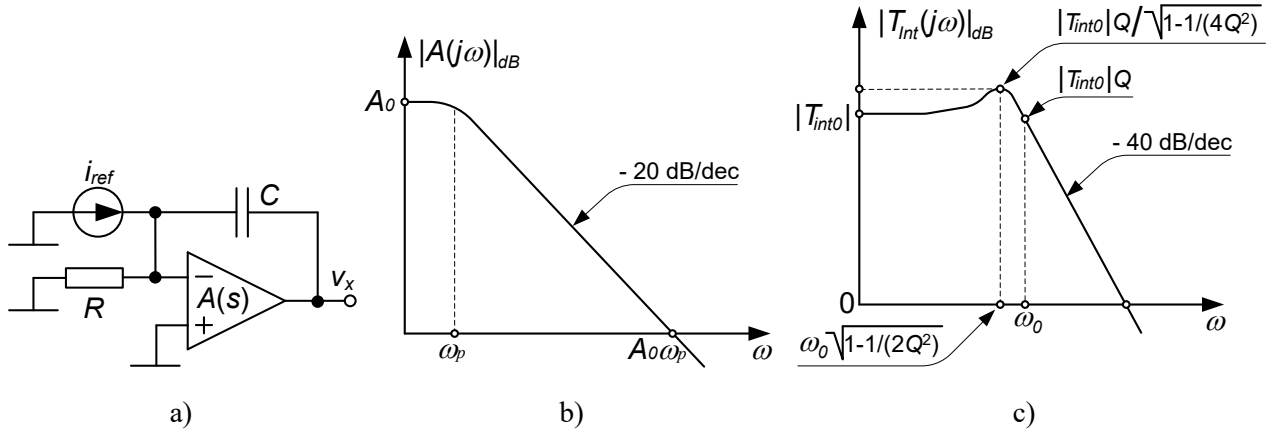
gdje se T_{int0} vrijednost transimpedanse $T_{int}(s)$ za DC ulaznu struju ($s = j\omega = 0$), prirodna učestanost ω_0 i faktor dobrote Q mogu prikazati na sljedeći način:

$$|T_{int0}| = |T_{int}(s=0)| = \frac{A_0\omega_p}{C\omega_0^2} = A_0R, \quad (3.3)$$

$$\omega_0 = \sqrt{\frac{\omega_p}{RC}}, \quad (3.4)$$

$$Q = \frac{\sqrt{\omega_p RC}}{1 + A_0\omega_p RC}. \quad (3.5)$$

Relacije (3.2) – (3.5) izvedene su pod pretpostavkom da je ispunjen uslov $A_0 \gg 1$. Jednostavnom



Slika. 3.1. Modelovanje frekventnog odziva integratora u sklopu standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja: a) Model za male signale integratora u sklopu standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja, b) amplitudno-frekventna karakteristika $|A(j\omega)|$ operacionog pojačavača prikazanog na slici 3.1, c) amplitudno-frekventna karakteristika transimpedanse $|T_{int}(j\omega)|$ integratora prikazanog na slici 3.1a).

analizom relacija (3.2) – (3.5) dolazi se do zaključka da se integrator u sklopu konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja ponaša kao filter propusnik niskih učestanosti 2. reda sa graničnom frekvencijom koja se poklapa sa prirodnom učestanošću ω_0 (3.4). Amplitudno-frekventna karakteristika transimpedanse $|T_{int}(j\omega)|$ integratora sa slike 3.1a prikazana je na slici 3.1c) podrazumijevajući da su polovi prenosne karakteristike $T_{int}(s)$ (3.2) konjugovano-kompleksni, i da je faktor dobrote $Q > 0.707$. Vodeći računa da je u realizacijama integratora u diskretnoj tehnici RC vremenska konstanta integratora uglavnom ograničena na vrijednosti $RC > 1 \mu s$, i da je frekvencija dominantnog pola operacionog pojačavača tipično $f_p = \omega_p/(2\pi) \sim 1 \text{ Hz}$, na osnovu relacije (3.4) dolazi se do zaključka da je maksimalna frekvencija pri kojoj integrator radi regularno $\sim 1 \text{ kHz}$. Pošto je analiza za male signale sprovedena tako da se modeluje uticaj prekidačkog rada bilateralnog CMOS prekidača, i pošto je frekvencija prekidanja bilateralnog CMOS prekidača ujedno i frekvencija izlaznog signala standardnog konvertora napona u frekvenciju prikazanog na slici 2.9, dolazi se do zaključka da je maksimalna frekvencija standardnog konvertora napona u frekvenciju $\sim 1 \text{ kHz}$. Sa izborom operacionog pojačavača koji ima bolje frekventne karakteristike, odnosno dominantni pol čija je frekvencija $f_p = \omega_p/(2\pi) \sim 10 \text{ Hz}$, moguće je postići frekvencije izlaznog signala standardnog konvertora napona u frekvenciju $\sim 10 \text{ kHz}$. Kao posljedica frekventnog odziva (3.2) – (3.5) standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja koja protiče kroz integrator, osjetljivost ovog konvertora napona u frekvenciju ima tipičnu vrijednost $S = \partial f/\partial V_{IN} \sim 1 \text{ kHz/V}$.

U cilju prevazilaženja ograničenja standardnog konvertora napona u frekvenciju uzrokovanih frekventnim karakteristikama integratora sa naponskim procesiranjem nameće se potreba za novim dizajnom konvertora napona u frekvenciju. Cilj novog dizajna jeste ostvarenje značajno većeg frekventnog opsega izlaznog napona, odnosno, značajno veće osjetljivosti frekvencije izlaznog signala prema promjenama ulaznog napona, uz očuvanje istog nivoa greške linearnosti. Dizajn visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja biće predstavljen u narednom dijelu.

3.2 Osnovni princip funkcionisanja predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Pojednostavljena šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazana je na slici 3.2. Kolo sadrži dva strujna izvora I_{REF} i I_{in} , integracioni kondenzator C_1 , bilateralni CMOS prekidač S_1 , referentni naponski izvor V_{REF2} , komparator (*comparator* – CMP) i monostabilni multivibrator (*monostable multivibrator* – MM). Strujni izvor I_{REF} predstavlja DC referentni strujni izvor, dok struja strujnog izvora I_{in} predstavlja ulaznu struju direktno proporcionalnu ulaznom naponu V_{in} , $I_{in} = kV_{in}$, $k = const$. Uslov koji mora biti ispunjen da bi predloženo rješenje moglo da funkcioniše jeste da je referentna struja I_{REF} veća od najveće vrijednosti ulazne struje I_{inmax} : $I_{REF} > I_{inmax}$. Drugim riječima, referentna struja I_{REF} treba da bude veća od ulazne struje I_{in} za sve vrijednosti ulaznog napona V_{in} : $I_{REF} > I_{in}$, $0 < V_{in} < V_{inmax}$. Monostabilni multivibrator MM okida se na rastuću ivicu signala V_{cmp1} sa izlaza komparatora CMP₁. Njegovo stabilno stanje predstavljeno je izlaznim naponom $V_{mm} = 0$, dok je kvazistabilno stanje okarakterisano izlaznim naponom $V_{mm} = V_{DD}$ tačno poznatog trajanja T_{mm} . Čitavo kolo se napaja sa unipolarnim naponom V_{DD} .

Ključna razlika između predloženog dizajna visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazanog na slici 3.2 i standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazanog na slici 2.9 jeste u načinu realizacije integratora. U predloženom riješenju integrator se bazira na strujnom procesiranju bez upotrebe operacionog pojačavača, za razliku od standardnog rješenja gdje se integrator bazira na naponskom procesiranju uz primjenu operacionog pojačavača. Predloženi način realizacije integratora u sklopu konvertora napona u frekvenciju izbjegava ograničenja uzrokovana frekventnim karakteristikama standardnog integratora sa naponskim procesiranjem baziranog na operacionom pojačavaču iskazana relacijama (3.2) – (3.5).

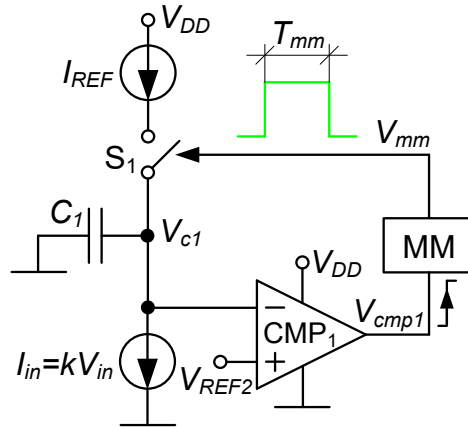
Polazeći od pretpostavke da je tokom trajanja integracije ulazna struja I_{in} konstantna veličina, $I_{in} = const.$, pojedine faze rada visoko osjetljivog konvertora napona u frekvenciju čija je pojednostavljena šema prikazana na slici 3.2 mogu se matematički modelovati na sljedeći način:

1. Odmah nakon uključenja napajanja

U trenutku uključenja napajanja V_{DD} integracioni kondenzator C_1 je prazan, $V_{c1} = 0$, pa će napon na izlazu komparatora CMP₁ biti $V_{cmp1} = V_{DD}$. Ovo za posljedicu ima početak kvazistabilnog stanja monostabilnog multivibratora MM poznatog trajanja T_{mm} . Tokom trajanja kvazistabilnog stanja, napon V_{mm} na izlazu monostabilnog multivibratora MM iznosi $V_{mm} = V_{DD}$. Samim tim bilateralni CMOS prekidač S_1 je zatvoren. Polazeći od pretpostavke da strujni izvor I_{in} može da generiše struju za sve napone V_{c1} na njegovim krajevima koji su pozitivni, $V_{c1} > 0$, kroz integracioni kondenzator C_1 protiče struja $I_{REF} - I_{in}$:

$$V_{c1} = \frac{1}{C_1} \int (I_{REF} - I_{in}) dt = \frac{I_{REF} - I_{in}}{C_1} t + A = \frac{I_{REF} - I_{in}}{C_1} t, \quad (3.6)$$

gdje je integraciona konstanta $A = 0$, jer je napon V_{c1} na integracionom kondenzatoru C_1 u trenutku uključenja napajanja bio $V_{c1} = 0$. Pošto je $I_{REF} > I_{in}$, $0 < V_{in} < V_{inmax}$, napon V_{c1} na integracionom kondenzatoru C_1 raste po linearnom zakonu sa protokom vremena t . Na kraju kvazistabilnog stanja



Slika. 3.2. Pojednostavljena šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

monostabilnog multivibratora MM ovaj napon $V_{c1}(T_{mm})$ iznosi:

$$V_{c1}(T_{mm}) = \frac{I_{REF} - I_{in}}{C_1} T_{mm}. \quad (3.7)$$

Postoje sljedeće mogućnosti:

- Ako je ispunjen uslov $V_{c1}(T_{mm}) > V_{REF2}$, napon V_{cmp1} na izlazu iz komparatora CMP_1 je $V_{cmp1} = 0$. Posljedično, monostabilni multivibrator MM je u stabilnom stanju, pa je napon V_{mm} na njegovom izlazu $V_{mm} = 0$, čime se prelazi u narednu fazu rada.
- Ako je ispunjen uslov $V_{c1}(T_{mm}) < V_{REF2}$, napon V_{cmp1} na izlazu iz komparatora CMP_1 je $V_{cmp1} = V_{DD}$. Monostabilni multivibrator MM ponovo prelazi u kvazistabilno stanje, pa je napon V_{mm} na njegovom izlazu $V_{mm} = V_{DD}$. Ponovo započinje proces integracije u skladu sa relacijom (3.6), pri čemu je sada integraciona konstanta A određena početnim uslovom koji je iskazan relacijom (3.7). Na kraju drugog uzastopnog kvazistabilnog stanja monostabilnog multivibratora MM napon $V_{c1}(2T_{mm})$ na integracionom kondenzatoru C_1 dobija vrijednost:

$$V_{c1}(2T_{mm}) = 2 \frac{I_{REF} - I_{in}}{C_1} T_{mm}. \quad (3.8)$$

- Ako je ispunjen uslov $V_{c1}(2T_{mm}) < V_{REF2}$, ponavlja se procedura pod b). U opštem slučaju, postupak pod b) se ponavlja n puta sve dok se ne ostvari uslov

$$V_{c1}(nT_{mm}) = n \frac{I_{REF} - I_{in}}{C_1} T_{mm} > V_{REF2}, \quad (3.9)$$

gdje je $n \in \{1, 2, \dots\}$. Sada je napon V_{cmp1} na izlazu iz komparatora CMP_1 $V_{cmp1} = 0$. Posljedično, monostabilni multivibrator MM je u stabilnom stanju, pa je napon V_{mm} na njegovom izlazu $V_{mm} = 0$, čime se prelazi u narednu fazu rada.

2. Stabilno stanje monostabilnog multivibratora MM ($V_{mm} = 0$)

Sada je bilateralni CMOS prekidač S_1 otvoren, kroz integracioni kondenzator C_1 protiče struja I_{in} , pa se napon V_{c1} na integracionom kondenzatoru C_1 mijenja na sljedeći način:

$$V_{c1} = -\frac{1}{C_1} \int I_{in} dt = -\frac{I_{in}}{C_1} t + A \quad (3.10)$$

Integraciona konstanta A određuje se na bazi početnog uslova na integracionom kondenzatoru C_1 :

$$V_{c1}(0-) = n \frac{I_{REF} - I_{in}}{C_1} T_{mm}, \quad n \in \{1, 2, \dots\}, \quad (3.11)$$

$$V_{c1}(0+) = A. \quad (3.12)$$

Pošto mora biti ispunjeno: $V_{c1}(0-) = V_{c1}(0+)$, na osnovu relacija (3.11) i (3.12) dobija se da je integraciona konstanta A data kao:

$$A = n \frac{I_{REF} - I_{in}}{C_1} T_{mm}, \quad n \in \{1, 2, \dots\}. \quad (3.13)$$

Kombinovanjem relacija (3.10) i (3.13) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 :

$$V_{c1} = n \frac{I_{REF} - I_{in}}{C_1} T_{mm} - \frac{I_{in}}{C_1} t, \quad n \in \{1, 2, \dots\}. \quad (3.14)$$

Uvidom u relaciju (3.14) jasno je da napon V_{c1} na integracionom kondenzatoru C_1 opada po linearnom zakonu sa protokom vremena t . Kada se napon V_{c1} spusti do vrijednosti referentnog napona V_{REF2} , dolazi do promjene napona V_{cmp1} na izlazu komparatora CMP_1 , pa on postaje $V_{cmp1} = V_{DD}$. Ovo se dešava u trenutku T_1 :

$$V_{c1}(T_1) = V_{REF2} \Rightarrow n \frac{I_{REF} - I_{in}}{C_1} T_{mm} - \frac{I_{in}}{C_1} T_1 = V_{REF2} \Rightarrow T_1 = n \frac{I_{REF} - I_{in}}{I_{in}} T_{mm} - \frac{C_1}{I_{in}} V_{REF2}, \quad n \in \{1, 2, \dots\} \quad (3.15)$$

Nakon isteka vremenskog intervala T_1 (3.15) započinje kvazistabilno stanje monostabilnog multivibratora MM, tj. prelazi se u narednu fazu rada.

3. Kvazistabilno stanje monostabilnog multivibratora MM ($V_{mm} = V_{DD}$)

Sada je bilateralni CMOS prekidač S_1 zatvoren, kroz integracioni kondenzator C_1 protiče struja $I_{REF} - I_{in}$, pa se napon V_{c1} na integracionom kondenzatoru C_1 mijenja na sljedeći način:

$$V_{c1} = \frac{1}{C_1} \int (I_{REF} - I_{in}) dt = \frac{I_{REF} - I_{in}}{C_1} t + A, \quad (3.16)$$

Integraciona konstanta A određuje se na bazi početnog uslova na integracionom kondenzatoru C_1 :

$$V_{c1}(0-) = V_{REF2}, \quad (3.17)$$

$$V_{c1}(0+) = A. \quad (3.18)$$

Pošto mora biti ispunjeno: $V_{c1}(0-) = V_{c1}(0+)$, na osnovu relacija (3.17) i (3.18) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF2}. \quad (3.19)$$

Kombinovanjem relacija (3.16) i (3.19) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 :

$$V_{c1} = V_{REF2} + \frac{I_{REF} - I_{in}}{C_1} t. \quad (3.20)$$

Pošto je $I_{REF} > I_{in}$, $0 < V_{in} < V_{inmax}$, napon V_{c1} na integracionom kondenzatoru C_1 raste po linearnom zakonu sa protokom vremena t . Odmah nakon početka ove faze napon V_{cmp1} na izlazu komparatora CMP_1 mijenja se od $V_{cmp1} = V_{DD}$ na $V_{cmp1} = 0$. Na kraju kvazistabilnog stanja monostabilnog multivibratora MM napon $V_{c1}(T_{mm})$ na integracionom kondenzatoru C_1 iznosi:

$$V_{c1}(T_{mm}) = V_{REF2} + \frac{I_{REF} - I_{in}}{C_1} T_{mm}, \quad (3.21)$$

čime se prelazi u narednu fazu rada.

4. Stabilno stanje monostabilnog multivibratora MM ($V_{mm} = 0$)

Sada je bilateralni CMOS prekidač S_1 otvoren, kroz integracioni kondenzator C_1 protiče struja I_{in} , pa se napon V_{c1} na integracionom kondenzatoru C_1 mijenja na sljedeći način:

$$V_{c1} = -\frac{1}{C_1} \int I_{in} dt = -\frac{I_{in}}{C_1} t + A \quad (3.22)$$

Integraciona konstanta A određuje se na bazi početnog uslova na integracionom kondenzatoru C_1 :

$$V_{c1}(0-) = V_{REF2} + \frac{I_{REF} - I_{in}}{C_1} T_{mm}, \quad (3.23)$$

$$V_{c1}(0+) = A. \quad (3.24)$$

Pošto mora biti ispunjeno: $V_{c1}(0-) = V_{c1}(0+)$, na osnovu relacija (3.23) i (3.24) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF2} + \frac{I_{REF} - I_{in}}{C_1} T_{mm}. \quad (3.25)$$

Kombinovanjem relacija (3.22) i (3.25) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 :

$$V_{c1} = V_{REF2} + \frac{I_{REF} - I_{in}}{C_1} T_{mm} - \frac{I_{in}}{C_1} t = V_{REF2} + \frac{I_{REF}}{C_1} T_{mm} - \frac{I_{in}}{C_1} (T_{mm} + t). \quad (3.26)$$

Uvidom u relaciju (3.26) jasno je da napon V_{c1} na integracionom kondenzatoru C_1 opada po linearnom zakonu sa protokom vremena t . Kada se napon V_{c1} spusti do vrijednosti referentnog napona V_{REF2} , dolazi do promjene napona V_{cmp1} na izlazu komparatora CMP_1 , pa on postaje $V_{cmp1} = V_{DD}$. Ovo se dešava u trenutku T_2 :

$$V_{c1}(T_2) = V_{REF2} \Rightarrow V_{REF2} + \frac{I_{REF} - I_{in}}{C_1} T_{mm} - \frac{I_{in}}{C_1} T_2 = V_{REF2} \Rightarrow T_2 = \frac{I_{REF} - I_{in}}{I_{in}} T_{mm} = \left(\frac{I_{REF}}{I_{in}} - 1 \right) T_{mm} \quad (3.27)$$

Nakon isteka vremenskog intervala T_2 (3.27) započinje kvazistabilno stanje monostabilnog multivibratora MM, tj. prelazi se u narednu fazu rada koja je identična fazi broj 3.

Sada se može izvesti kratak zaključak o karakterističnim fazama rada predloženog konvertora napona u frekvenciju. Neposredno nakon uključenja napona napajanja, prve dvije faze predstavljaju prelazne faze, nakon čega se naizmjenično ponavljaju faze 3 i 4. Dakle, perioda T napona V_{mm} na izlazu monostabilnog multivibratora MM, koji ujedno predstavlja i izlazni napon čitavog predloženog konvertora napona u frekvenciju, predstavljena je sumom trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM (trajanje neparnih faza) i vremenskog intervala T_2 (trajanje parnih faza): $T = T_{mm} + T_2$. Izraz za frekvenciju f izlaznog napona V_{mm} može se izvesti na sljedeći način:

$$f = \frac{1}{T} = \frac{1}{T_{mm} + T_2} = \frac{1}{T_{mm} + \frac{I_{REF} - I_{in}}{I_{in}} T_{mm}} = \frac{I_{in}}{I_{REF}} \frac{1}{T_{mm}} \quad (3.28)$$

3.3 Kompletna šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Kompletna šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazana je na slici 3.3. Referentni strujni izvor I_{REF} realizovan je pomoću operacionog pojačavača OA₁, p -kanalnog MOSFET-a M₁, otpornika R_1 i DC referentnog naponskog izvora V_{REF1} . Struja referentnog strujnog izvora I_{REF} može se izraziti na sljedeći način:

$$I_{REF} = \frac{V_{DD} - V_{REF1}}{R_1}. \quad (3.29)$$

Strujni izvor I_{in} sa strujom direktno proporcionalnom ulaznom napnu V_{in} realizovan je pomoću operacionog pojačavača OA₂, n -kanalnog MOSFET-a M₂, otpornika R_2 i naponskog izvora sa ulaznim naponom V_{in} . Ulazna struja I_{in} može se izraziti na sljedeći način:

$$I_{in} = \frac{V_{in}}{R_2}. \quad (3.30)$$

Monostabilni multivibrator MM realizovan je pomoću DC strujnog izvora I_{MM} , kondenzatora C_2 , komparatora CMP₂ sa *pull-up* otpornikom R_6 , bilateralnog CMOS prekidača S₃ i D flip-flopa (DFF) u set-reset konfiguraciji. Strujni izvor I_{MM} realizovan je pomoću operacionog pojačavača OA₃, p -kanalnog MOSFET-a M₃, otpornika R_3 i DC referentnog naponskog izvora V_{REF1} . Struja strujnog izvora I_{MM} može se izraziti na sljedeći način:

$$I_{MM} = \frac{V_{DD} - V_{REF1}}{R_3}. \quad (3.31)$$

Kada se napon V_{cmp1} na izlazu komparatora CMP₁ sa *pull-up* otpornikom R_5 promjeni od $V_{cmp1} = 0$ do $V_{cmp1} = V_{DD}$, dolazi do setovanja D flip-flopa. Sada su logička stanja na izlazu D flip-flopa $Q_{ff} = V_{mm} = V_{DD}$, $Q_{ffinv} = 0$. Posljedično, bilateralni CMOS prekidač S₁ je zatvoren, dok je

monostabilnog multivibratora MM može se izračunati na sljedeći način:

$$V_{c2}(T_{mm}) = V_{REF2} \Rightarrow \frac{I_{MM}}{C_2} T_{mm} = V_{REF2} \Rightarrow T_{mm} = \frac{V_{REF2}}{I_{MM}} C_2 \quad (3.33)$$

Kombinovanjem relacija (3.31) i (3.33) dobija se trajanje kvazistabilnog stanja monostabilnog multivibratora MM izraženo u funkciji naponskih veličina i vremenske konstante $R_3 C_2$:

$$T_{mm} = \frac{V_{REF2}}{V_{DD} - V_{REF1}} R_3 C_2 \quad (3.34)$$

Kombinovanjem relacija (3.20), (3.29) i (3.30) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 tokom trajanja kvazistabilnog stanja monostabilnog multivibratora MM (neparne faze: $V_{mm} = V_{DD}$):

$$V_{c1} = V_{REF2} + \frac{1}{C_1} \left(I_{REF} - \frac{V_{in}}{R_2} \right) t = V_{REF2} + \frac{1}{C_1} \left(\frac{V_{DD} - V_{REF1}}{R_1} - \frac{V_{in}}{R_2} \right) t \quad (3.35)$$

Vrijednost ovog napona $V_{c1}(T_{mm})$ na kraju kvazistabilnog stanja monostabilnog multivibratora MM dobija se kombinovanjem relacija (3.34) i (3.35):

$$V_{c1}(T_{mm}) = V_{REF2} + \frac{1}{C_1} \left(I_{REF} - \frac{V_{in}}{R_2} \right) T_{mm} = \left[1 + \frac{R_3}{R_1} \frac{C_2}{C_1} \left(1 - \frac{R_1}{R_2} \frac{V_{in}}{V_{DD} - V_{REF1}} \right) \right] V_{REF2}, \quad (3.36)$$

Kombinovanjem relacija (3.26), (3.29), (3.30) i (3.34) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 tokom trajanja stabilnog stanja monostabilnog multivibratora MM (parne faze: $V_{mm} = 0$):

$$V_{c1} = V_{REF2} + \frac{I_{REF}}{C_1} T_{mm} - \frac{V_{in}}{R_2 C_1} (T_{mm} + t) = \left[1 + \frac{R_3}{R_1} \frac{C_2}{C_1} \left(1 - \frac{R_1}{R_2} \frac{V_{in}}{V_{DD} - V_{REF1}} \right) \right] V_{REF2} - \frac{V_{in}}{R_2 C_1} t \quad (3.37)$$

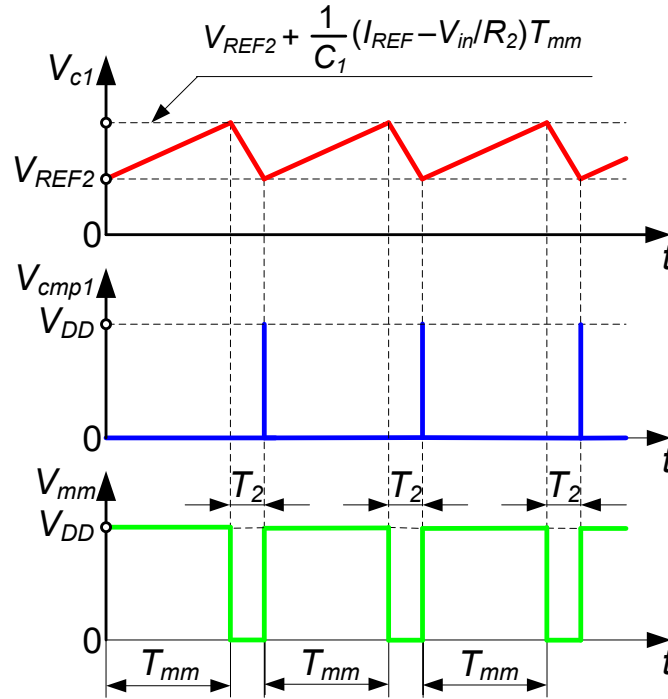
Kombinovanjem relacija (3.27), (3.29), (3.30), (3.34) i (3.37) dobija se dužina trajanja T_2 stabilnog stanja monostabilnog multivibratora MM:

$$V_{c1}(T_2) = V_{REF2} \Rightarrow T_2 = \left(\frac{R_2 I_{REF}}{V_{in}} - 1 \right) T_{mm} = \left(\frac{R_2}{R_1} \frac{V_{DD} - V_{REF1}}{V_{in}} - 1 \right) \frac{V_{REF2}}{V_{DD} - V_{REF1}} R_3 C_2 \quad (3.38)$$

Talasi oblici napona V_{c1} , V_{cpl} i V_{mm} u vremenskom domenu na integracionom kondenzatoru C_1 , na izlazu komparatora CMP_1 , i na izlazu monostabilnog multivibratora MM, redom, visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazani su na slici 3.4. Na osnovu ovih talasnih oblika u vremenskom domenu, odnosno, kombinovanjem relacija (3.28), (3.29), (3.30) i (3.34) dobija se izraz za frekvenciju f izlaznog napona V_{mm} u funkciji ulaznog napona V_{in} visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja:

$$f = \frac{1}{T} = \frac{1}{T_{mm} + T_2} = \frac{I_{REF}}{I_{REF}} \frac{1}{T_{mm}} = \frac{V_{in}}{R_2 I_{REF}} \frac{1}{T_{mm}} = \frac{R_1}{R_2} \frac{1}{R_3 C_2} \frac{V_{in}}{V_{REF2}} = S V_{in} \quad (3.39)$$

Osjetljivost S visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom



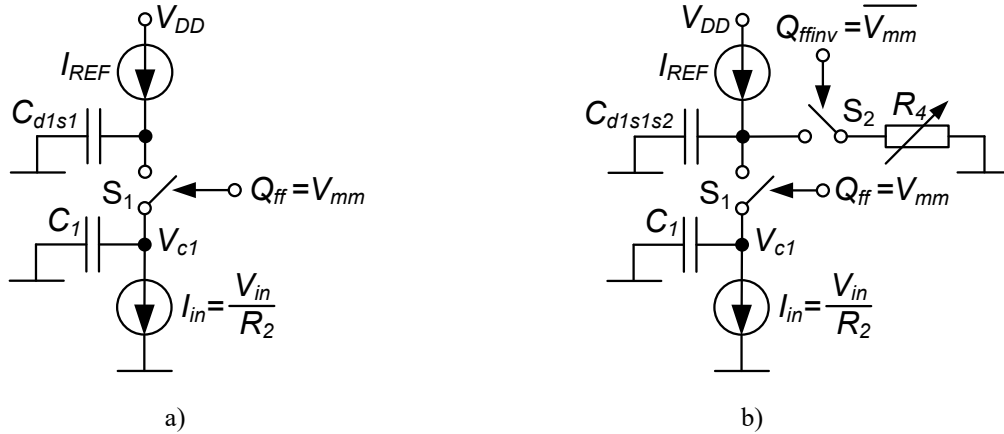
Slika. 3.4. Talasni oblici napona V_{c1} , V_{cmp1} i V_{mm} u vremenskom domenu na integracionom kondenzatoru C_1 , na izlazu komparatora CMP_1 , i na izlazu monostabilnog multivibratora MM , redom, visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

naelektrisanja može se izračunati korišćenjem relacije (3.39):

$$S = \frac{\partial f}{\partial V_{in}} = \frac{1}{R_2 I_{REF}} \frac{1}{T_{mm}} = \frac{R_1}{R_2} \frac{1}{R_3 C_2} \frac{1}{V_{REF2}} = \frac{f}{V_{in}} \quad (3.40)$$

Uvidom u relacije (3.39) i (3.40) može se zaključiti da frekvencija f i osjetljivost S ne zavise od napona V_{REF1} . Samim tim, dizajn predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja zahtijeva samo jedan stabilisani referentni naponski izvor V_{REF2} , dok naponski izvor V_{REF1} ne mora biti stabilisan. Takođe, frekvencija f i osjetljivost S ne zavise od kapacitivnosti integracionog kondenzatora C_1 . Međutim, kapacitivnost integracionog kondenzatora C_1 ne može imati proizvoljnu vrijednost. Naprotiv, ova kapacitivnost mora biti pažljivo izabrana u skladu sa zahtjevima koji će biti analizirani u nastavku.

Zahvaljujući dizajnu integratora sa strujnim procesiranjem, bez primjene operacionog pojačavača, maksimalna frekvencija f (3.39), odnosno, maksimalna osjetljivost S (3.40) predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja ograničeni su isključivo brzinom rada pojedinih gradivnih elemenata koji ulaze u sastav dizajna prikazanog na slici 3.3. Preciznije, maksimalna frekvencija f (3.39) i maksimalna osjetljivost S (3.40) ograničeni su kašnjenjem komparatora CMP_1 , D flip-flopa i bilateralnog CMOS prekidača S_1 . Kašnjenje navedenih gradivnih elemenata realizovanih u integrisanim CMOS tehnologijama obrnuto je proporcionalna naponu napajanja V_{DD} . Pošto su uvijek prisutni međusobno suprotstavljeni zahtjevi za što manjim naponom napajanja V_{DD} i što manjim kašnjenjem gradivnih elemenata, nameće se potreba za kompromisom. Sa druge strane, pošto kašnjenje komparatora CMP_1 zavisi i od nagiba napona V_{c1} koji se upoređuje sa konstantnim



Slika. 3.5. Šema jednog dijela visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja u okolini bilateralnog CMOS prekidača S_1 : a) bez bilateralnog CMOS prekidača S_2 , b) sa bilateralnim CMOS prekidačem S_2 .

naponom V_{REF2} , a nagib napona V_{c1} zavisi od vrijednosti ulaznog napona V_{in} , jasno je da kašnjenje komparatora CMP_1 zavisi ne samo od napona napajanja V_{DD} već i od ulaznog napona V_{in} .

Prema tehničkoj dokumentaciji komparatora CMP_1 [17], bilateralnog CMOS prekidača [18] i D flip-flopa [19] koji su korišćeni za izradu prototipa predloženog rješenja prikazanog na slici 3.3, mogu se očekivati kašnjenja ovih gradivnih elemenata manja od $1 \mu s$ pri unipolarnom naponu napajanja $V_{DD} = 2.7 V$. Podrazumijevajući da su otpornosti R_1 i R_2 istog reda veličine, da vremenska konstanta R_3C_2 ima vrijednost $R_3C_2 \sim 1 \mu s$, a da referentni napon V_{REF2} ima vrijednost $V_{REF2} \sim 1 V$, na osnovu relacije (3.40) dolazi se do zaključka da osjetljivost S predloženog konvertora napona u frekvenciju iznosi $S \sim 100 \text{ kHz/V}$. Ovo je osjetljivost koja je najmanje za jedan red veličine veća od osjetljivosti standardnog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja koja protiče kroz integrator.

Uloga bilateralnog CMOS prekidača S_2 sa redno vezanim otpornikom R_4 biće objašnjena pomoću slike 3.5 na kojoj je prikazana šema jednog dijela visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja u okolini bilateralnog CMOS prekidača S_1 . Drejn MOSFET-a M_1 zajedno sa priključkom bilateralnog CMOS prekidača S_1 formira parazitnu kapacitivnost C_{d1s1} (slika 3.5a)), odnosno, drejn MOSFET-a M_1 zajedno sa priključcima bilateralnih CMOS prekidača S_1 i S_2 formira parazitnu kapacitivnost C_{d1s1s2} (slika 3.5b)). Tokom trajanja stabilnog stanja ($V_{mm} = 0$), bilateralni CMOS prekidač S_1 je otvoren. U slučaju pod a), kroz kondenzator C_{d1s1} protiče struja I_{REF} , pa napon V_{cd1s1} na krajevima ovog kondenzatora raste od početne vrijednosti izražene relacijom (3.36) po linearnom zakonu sa protokom vremena t , sve dok ovaj napon ne dostigne kritičnu vrijednost koja onemogućava dalji rad DC referentnog strujnog izvora I_{REF} . Napon V_{cd1s1} dostiže kritičnu vrijednost vrlo brzo nakon početka stabilnog stanja zbog male kapacitivnosti parazitnog kondenzatora C_{d1s1} . Ovaj kritični napon odgovara nultom naponu sors-drejn MOSFET-a M_1 $V_{sdl} = 0$, što za posljedicu ima vrijednost napona $V_{cd1s1}(0^-)$ na kondenzatoru C_{d1s1} sa odgovarajućom količinom naelektrisanja $Q_{cd1s1}(0^-)$:

$$V_{cd1s1}(0^-) = V_{REF1} \Rightarrow Q_{cd1s1}(0^-) = C_{d1s1} V_{cd1s1}(0^-) = C_{d1s1} V_{REF1} \quad (3.41)$$

gdje oznaka "0-" označava trenutak završetka stabilnog stanja monostabilnog multivibratora MM.

U istom trenutku, vrijednost napona $V_{c1}(0-)$ na integracionom kondenzatoru C_1 sa odgovarajućom količinom naelektrisanja $Q_{c1}(0-)$ iznosi:

$$V_{c1}(0-) = V_{REF2} \Rightarrow Q_{c1}(0-) = C_1 V_{c1}(0-) = C_1 V_{REF2} \quad (3.42)$$

Odmah nakon početka kvazistabilnog stanja monostabilnog multivibratora MM ($V_{mm} = V_{DD}$) bilateralni CMOS prekidač S_1 se zatvara, pa kondenzatori C_1 i C_{d1s1} postaju paralelno vezani. Dolazi do preraspodjele naelektrisanja između kondenzatora C_{d1s1} i C_1 koja se odvija prema sljedećem matematičkom modelu, uz korišćenje relacija (3.41) i (3.42), ne uzimajući u obzir DC strujne izvore I_{REF} i I_{in} :

$$Q_{cd1s1}(0-) + Q_{c1}(0-) = Q_{tot}(0+) \Rightarrow C_{d1s1} V_{REF1} + C_1 V_{REF2} = (C_{d1s1} + C_1) V_{c1}(0+) \quad (3.43)$$

gdje oznaka "0+" označava trenutak početka kvazistabilnog stanja monostabilnog multivibratora MM, $Q_{tot}(0+)$ predstavlja ukupno naelektrisanje akumulirano u kondenzatorima C_{d1s1} i C_1 na kraju stabilnog stanja monostabilnog multivibratora MM, a $V_{c1}(0+)$ predstavlja napon na paralelno vezanim kondenzatorima C_{d1s1} i C_1 odmah nakon početka kvazistabilnog stanja monostabilnog multivibratora MM. Ovaj napon se dobija na osnovu relacije (3.43):

$$V_{c1}(0+) = \frac{C_1}{C_1 + C_{d1s1}} V_{REF2} + \frac{C_{d1s1}}{C_1 + C_{d1s1}} V_{REF1} \quad (3.44)$$

Cilj je da odmah nakon početka kvazistabilnog stanja monostabilnog multivibratora MM napon $V_{c1}(0+)$ na integracionom kondenzatoru C_1 (odnosno, na paralelno vezanim kondenzatorima C_{d1s1} i C_1) bude $V_{c1}(0+) = V_{REF2}$. Jasno je da parazitna kapacitivnost C_{d1s1} unosi grešku koja se manifestuje skokovitim prirastom napona $\Delta V_{c1}(0+)$ na početku kvazistabilnog stanja:

$$\Delta V_{c1}(0+) = V_{c1}(0+) - V_{REF2} = \frac{C_{d1s1}}{C_1 + C_{d1s1}} (V_{REF1} - V_{REF2}). \quad (3.45)$$

Greška uzrokovana skokovitim prirastom napona $\Delta V_{c1}(0+)$ (3.45) eliminiše se ako je ispunjeno:

$$V_{REF1} = V_{REF2}. \quad (3.46)$$

Uslov (3.46) nije jednostavno ispuniti u uslovima realizacije prototipa predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja u diskretnoj tehnici korišćenjem gradivnih elemenata ograničenih performansi. Naime, naponski opseg ulaznih napona komparatora [17] koji je korišćen u prototipu predloženog rješenja mora biti za najmanje 0.5 V manji od napona napajanja V_{DD} . Sa druge strane, napon V_{REF1} treba da bude što veći kako bi napon V_{c1} na integracionom kondenzatoru C_1 (na izlazu referentnog strujnog izvora I_{REF}) na kraju kvazistabilnog stanja monostabilnog multivibratora MM, relacija (3.36), bio što veći (slika 3.4), a da pri tome referentni strujni izvor I_{REF} radi regularno. Tipična vrijednost ovog napona je $V_{REF1} \approx V_{DD} - 0.1$ V. Na osnovu prethodnih razmatranja zaključuje se da uslov $V_{REF1} = V_{REF2}$ ne može biti ispunjen u datim okolnostima. Zbog toga se rješenje problema sa parazitnom kapacitivnošću u drejnu MSOFET-a M_1 ostvaruje dodavanjem bilateralnog CMOS prekidača S_2 sa redno vezanim otpornikom R_4 , slika 3.5b). Tokom trajanja stabilnog stanja ($V_{mm} = 0$) bilateralni CMOS prekidač S_1 je otvoren, a bilateralni CMOS prekidač S_2 je zatvoren. Struja I_{REF} (3.29) protiče kroz otpornik R_4 , pa napon $V_{cd1s1s2}$ na kondenzatoru C_{d1s1s2} iznosi:

$$V_{cd1s1s2} = R_4 I_{REF} = \frac{R_4}{R_1} (V_{DD} - V_{REF1}). \quad (3.47)$$

Ovaj napon je konstantan $V_{cds1s2} = const.$ tokom trajanja stabilnog stanja monostabilnog multivibratora MM, i ima dovoljno malu vrijednost koja omogućava nesmetan rad strujnog izvora I_{REF} . Količina naelektrisanja $Q_{cd1s1s2}(0-)$ na kondenzatoru C_{d1s1s2} u trenutku završetka stabilnog stanja monostabilnog multivibratora MM dobija se na osnovu relacije (3.47):

$$Q_{cd1s1s2}(0-) = C_{d1s1s2} V_{cd1s1s2}(0-) = C_{d1s1s2} R_4 I_{REF} = \frac{R_4}{R_1} C_{d1s1s2} (V_{DD} - V_{REF1}) \quad (3.48)$$

U istom trenutku, vrijednost napona $V_{c1}(0-)$ na integracionom kondenzatoru C_1 sa odgovarajućom količinom naelektrisanja $Q_{c1}(0-)$ data je relacijom (3.42). Odmah nakon početka kvazistabilnog stanja monostabilnog multivibratora MM ($V_{mm} = V_{DD}$) bilateralni CMOS prekidač S_1 se zatvara, a bilateralni CMOS prekidač se otvara, pa kondenzatori C_1 i C_{d1s1s2} postaju paralelno vezani. Dolazi do preraspodjele naelektrisanja između kondenzatora C_{d1s1s2} i C_1 koja se odvija prema sljedećem matematičkom modelu, uz korišćenje relacija (3.42) i (3.48), ne uzimajući u obzir DC strujne izvore I_{REF} i I_{in} :

$$Q_{cd1s1s2}(0-) + Q_{c1}(0-) = Q_{tot}(0+) \Rightarrow C_{d1s1s2} R_4 I_{REF} + C_1 V_{REF2} = (C_{d1s1s2} + C_1) V_{c1}(0+) \quad (3.49)$$

gdje $Q_{tot}(0+)$ predstavlja ukupno naelektrisanje akumulirano u kondenzatorima C_{d1s1s2} i C_1 na kraju stabilnog stanja monostabilnog multivibratora MM, a $V_{c1}(0+)$ predstavlja napon na paralelno vezanim kondenzatorima C_{d1s1s2} i C_1 odmah nakon početka kvazistabilnog stanja monostabilnog multivibratora MM. Ovaj napon se dobija na osnovu relacije (3.49):

$$\begin{aligned} V_{c1}(0+) &= \frac{C_1}{C_1 + C_{d1s1s2}} V_{REF2} + \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} R_4 I_{REF} \\ &= \frac{C_1}{C_1 + C_{d1s1s2}} V_{REF2} + \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} \frac{R_4}{R_1} (V_{DD} - V_{REF1}). \end{aligned} \quad (3.50)$$

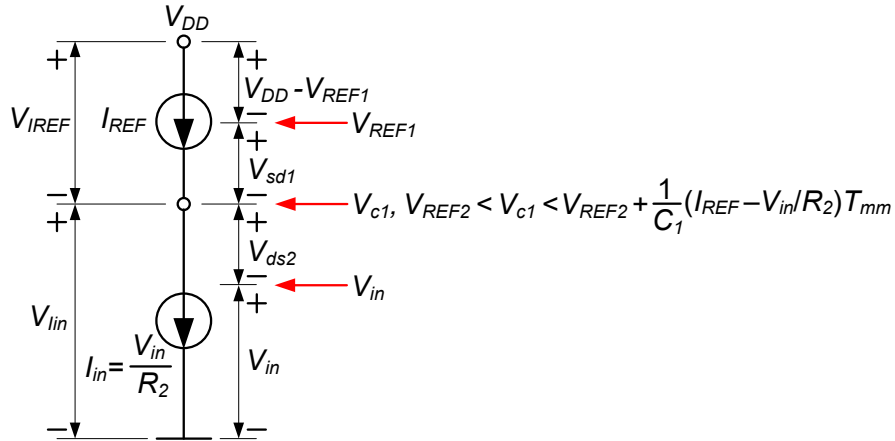
Cilj je da odmah nakon početka kvazistabilnog stanja monostabilnog multivibratora MM napon $V_{c1}(0+)$ na integracionom kondenzatoru C_1 (odnosno, na paralelno vezanim kondenzatorima C_{d1s1s2} i C_1) bude $V_{c1}(0+) = V_{REF2}$. Jasno je da parazitna kapacitivnost C_{d1s1s2} unosi grešku koja se manifestuje skokovitim prirastom napona $\Delta V_{c1}(0+)$ na početku kvazistabilnog stanja:

$$\begin{aligned} \Delta V_{c1}(0+) &= V_{c1}(0+) - V_{REF2} = \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} (R_4 I_{REF} - V_{REF2}) \\ &= \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} \left[\frac{R_4}{R_1} (V_{DD} - V_{REF1}) - V_{REF2} \right]. \end{aligned} \quad (3.51)$$

Greška uzrokovana skokovitim prirastom napona $\Delta V_{c1}(0+)$ (3.51) eliminiše se ako je ispunjeno:

$$R_4 I_{REF} = V_{REF2} \Rightarrow \frac{R_4}{R_1} (V_{DD} - V_{REF1}) = V_{REF2}. \quad (3.52)$$

Uslov (3.52) lako se postiže jednostavnom kalibracijom koja podrazumijeva promjenu otpornosti



Slika. 3.6. Raspodjela napona između DC referentnog strujnog izvora I_{REF} i strujnog izvora $I_{in} = V_{in}/R_2$.

R_4 i/ili DC referentne struje I_{REF} (promjenu napona V_{REF1} i/ili otpornosti R_1) sve dok napon na otporniku R_4 ne dostigne vrijednost referentnog napona V_{REF2} . Promjena DC referentne struje I_{REF} (promjena napona V_{REF1} i/ili otpornosti R_1) utiče na vrijednost napona $V_{c1}(T_{mm})$ na integracionom kondenzatoru na kraju kvazistabilnog stanja monostabilnog multivibratora MM, relacija (3.36), kao i na dužinu trajanja T_2 stabilnog stanja monostabilnog multivibratora MM, (3.38). Ovo može izazvati neželjene efekte u pogledu performansi predloženog rješenja. Sa druge strane, promjena otpornosti R_4 utiče samo na intenzitet skokovitog porasta napona $\Delta V_{c1}(0+)$ na početku kvazistabilnog stanja, relacija (3.51). Dakle, kalibraciju treba realizovati promjenom otpornosti R_4 .

3.4 Naponska ograničenja predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Raspodjela napona između DC referentnog strujnog izvora I_{REF} i strujnog izvora $I_{in} = V_{in}/R_2$ prikazana je na slici 3.6. Napon V_{IREF} na DC referentnom strujnom izvoru I_{REF} izražava se kao:

$$V_{IREF} = V_{DD} - V_{REF1} + V_{sd1} = V_{DD} - V_{c1}, \quad (3.53)$$

gdje je $V_{DD} - V_{REF1}$ napon na otporniku R_1 , dok je V_{sd1} napon sors-drejn MOSFET-a M_1 , slika 3.3. Sa druge strane, napon V_{lin} na strujnom izvoru $I_{in} = V_{in}/R_2$ može se izraziti kao:

$$V_{lin} = V_{in} + V_{ds2}, \quad (3.54)$$

gdje je V_{ds2} napon drejn-sors MOSFET-a M_2 , slika 3.3. Vrijednost napona V_{c1} na integracionom kondenzatoru C_1 nalazi se u granicama:

$$V_{c1min} < V_{c1} < V_{c1max}, \quad (3.55)$$

gdje su V_{c1min} i V_{c1max} najmanja i najveća vrijednost napona V_{c1} na integracionom kondenzatoru C_1 , relacije (3.38) i (3.36), redom, slika 3.4:

$$V_{c1min} = V_{REF2}, \quad (3.56)$$

$$V_{c1max} = V_{REF2} + \frac{1}{C_1} \left(I_{REF} - \frac{V_{in}}{R_2} \right) T_{mm}. \quad (3.57)$$

Na osnovu relacija (3.53) i (3.57), kao i na osnovu slike 3.6, zaključuje se da se minimalni napon $V_{IREFmin}$ na DC referentnom strujnom izvoru I_{REF} može iskazati na sljedeći način:

$$V_{IREFmin} = V_{DD} - V_{c1max} = V_{DD} - V_{REF2} - \frac{1}{C_1} \left(I_{REF} - \frac{V_{in}}{R_2} \right) T_{mm}. \quad (3.58)$$

Minimalni napon $V_{IREFmin}$ na DC referentnom strujnom izvoru I_{REF} je najmanji za najveću vrijednost napona V_{c1max} na integracionom kondenzatoru C_1 koja se dobija za minimalnu vrijednost ulaznog napona $V_{inmin} = 0$. Sada relacija (3.58) postaje:

$$V_{IREFmin} = V_{DD} - V_{REF2} - \frac{I_{REF}}{C_1} T_{mm}. \quad (3.59)$$

Kombinovanjem relacija (3.29), (3.34), (3.53) i (3.59) dobija se:

$$V_{IREFmin} = V_{DD} - V_{REF1} + V_{sd1min} = V_{DD} - V_{REF2} - \frac{I_{REF}}{C_1} T_{mm} = V_{DD} - \left(1 + \frac{R_3}{R_1} \frac{C_2}{C_1} \right) V_{REF2} \quad (3.60)$$

gdje je V_{sd1min} minimalna vrijednost napona sors-drejn MOSFET-a M_1 koja omogućava ispravan rad DC referentnog strujnog izvora I_{REF} . Na osnovu relacije (3.60) mogu se podesiti vrijednosti referentnih napona V_{REF1} i V_{REF2} , otpornosti R_1 i R_3 , kapacitivnosti C_1 i C_2 , uz unaprijed definisani napon napajanja V_{DD} i poznatu minimalna vrijednost napona sors-drejn V_{sd1min} .

Na osnovu relacija (3.54) i (3.55), kao i na osnovu slike 3.6, zaključuje se da maksimalna vrijednost napona V_{Inmax} na strujnom izvoru $I_{in} = V_{in}/R_2$ mora ispunjavati sljedeći uslov:

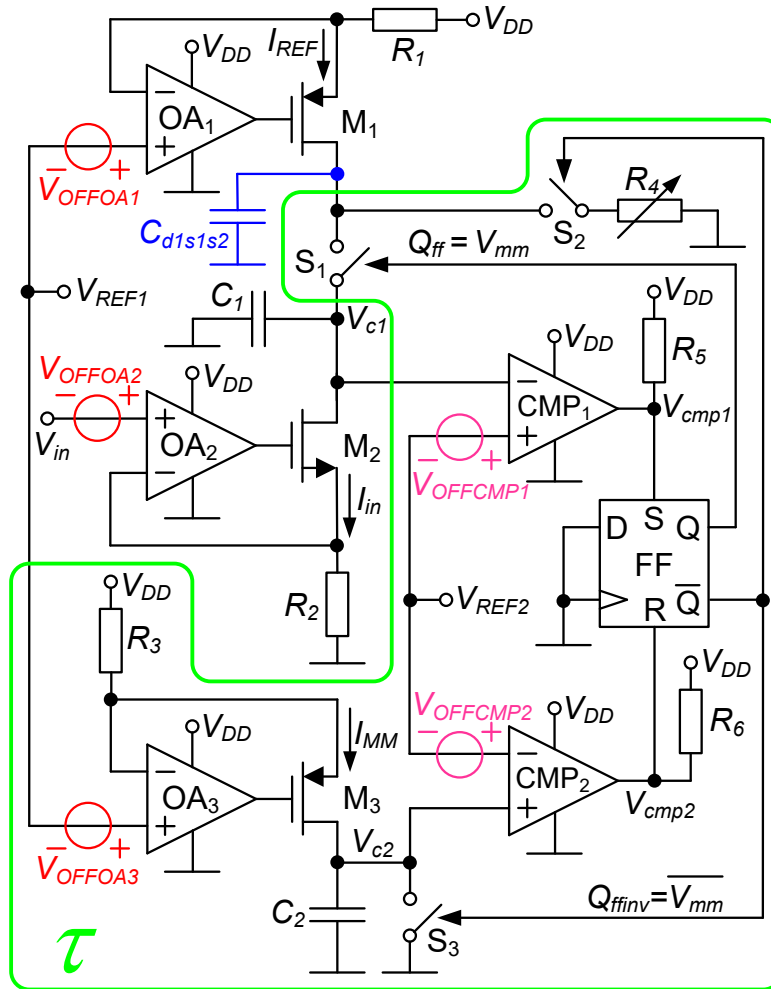
$$V_{Inmax} = V_{inmax} + V_{ds2} = V_{c1min} = V_{REF2}. \quad (3.61)$$

Maksimalna vrijednost napona V_{Inmax} na strujnom izvoru $I_{in} = V_{in}/R_2$ je najveća za minimalna vrijednost napona drejn-sors MOSFET-a M_2 V_{ds2min} koja omogućava ispravan rad strujnog izvora $I_{in} = V_{in}/R_2$. Sada se dobija maksimalna vrijednost V_{inmax} ulaznog napona V_{in} :

$$V_{inmax} = V_{REF2} - V_{ds2min} \quad (3.62)$$

3.5 Analiza grešaka predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa nesavršenostima pojedinih gradivnih elemenata prikazana je na slici 3.7. Ove nesavršenosti su sljedeće: naponski ofset V_{OFFOA1} , V_{OFFOA2} i V_{OFFOA3} operacionih pojačavača OA_1 , OA_2 i OA_3 , redom, naponski ofset $V_{OFFCMP1}$ i $V_{OFFCMP2}$ komparatora CMP_1 i CMP_2 , redom, parazitna kapacitivnost C_{d1s1s2} u drejnu MOSFET-a M_1 , ukupno vrijeme kašnjenja τ koje unose komparator CMP_1 , monostabilni multivibrator MM i bilateralni CMOS prekidači S_1 i S_2 , i djelimično preklapanje neinvertovanog i invertovanog signala Q_{ff} i Q_{ffinv} na izlazu D flip-flopa. Ulazne struje polarizacije operacionih pojačavača i komparatora koji su



Slika. 3.7. Šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa nesavršenostima pojedinih gradivnih elemenata.

realizovani u integriranim CMOS tehnologijama svode se na struje curenja, pa se njihov uticaj na rad konvertora napona u frekvenciju može zanemariti.

Naponski ofset V_{OFFOA1} operacionog pojačavača OA_1 može se modelovati kao sastavni dio referentnog napona koji određuje struju DC referentnog strujnog izvora I_{REF} . Referentni napon koji figuriše u relaciji (3.28) sada je iskazan kao $V_{REF1} + V_{OFFOA1}$, umjesto V_{REF1} . Slično, naponski ofset V_{OFFOA3} operacionog pojačavača OA_3 može se modelovati kao sastavni dio referentnog napona V_{REF1} . Referentni napon koji figuriše u relaciji (3.31) sada je iskazan kao $V_{REF1} + V_{OFFOA3}$, umjesto V_{REF1} . Naponski ofset $V_{OFFCMP1}$ komparatora CMP_1 može se modelovati kao sastavni dio referentnog napona V_{REF2} . Referentni napon na "+" priključku komparatora CMP_1 sa kojim se upoređuje napon na izlazu iz integratora V_{c1} sada je $V_{REF2} + V_{OFFCMP1}$ umjesto V_{REF2} . Naponski offset $V_{OFFCMP2}$ komparatora CMP_2 može se modelovati kao sastavni dio referentnog napona V_{REF2} . Referentni napon na "-" priključku komparatora CMP_2 sa kojim se upoređuje napon V_{c2} na kondenzatoru C_2 sada je $V_{REF2} + V_{OFFCMP2}$ umjesto V_{REF2} .

Pojedinačni uticaj svake od ovih nesavršenosti na relativnu grešku biće razmotren smatrajući da u datoj analizi postoji samo jedna od navedenih nesavršenosti, dok se sve ostale zanemaruju. Izuzetak je uticaj djelimičnog preklapanja neinvertovanog i invertovanog signala Q_{ff} i

Q_{ffinv} na izlazu D flip-flopa koji će biti razmotren zajedno sa uticajem parazitne kapacitivnosti C_{d1s1s2} u drejnu MOSFET-a M_1 . Relativna greška $E_R[\%]$ definiše se kao:

$$E_R [\%] = \frac{x_0 - x}{x_0} \cdot 100, \quad (3.63)$$

gdje je x_0 fizička veličina koja je matematički modelovana u idealnom slučaju, dok je x fizička veličina koja je matematički modelovana pri uticaju određene nesavršenosti.

3.5.1 Greška usljed naponskog ofseta operacionog pojačavača OA_2

Relacija (3.30) kojom se izražava ulazna struja I_{in} modifikuje se uslijed uticaja naponskog ofseta V_{OFFOA2} operacionog pojačavača OA_2 na sljedeći način:

$$I_{in} = \frac{V_{in} + V_{OFFOA2}}{R_2}. \quad (3.64)$$

Sada se relacija (3.39) kojom je izražena frekvenciju f izlaznog napona V_{mm} u idealnom slučaju modifikuje u cilju dobijanja frekvencije f_{OFFOA2} izlaznog napona V_{mm} u prisustvu naponskog ofseta V_{OFFOA2} operacionog pojačavača OA_2 korišćenjem relacije (3.64) na sljedeći način:

$$f_{OFFOA2} = \frac{I_{in}}{I_{REF}} \frac{1}{T_{mm}} = \frac{V_{in} + V_{OFFOA2}}{R_2 I_{REF}} \frac{1}{T_{mm}} = \frac{V_{in}}{R_2 I_{REF}} \frac{1}{T_{mm}} + \frac{V_{OFFOA2}}{R_2 I_{REF}} \frac{1}{T_{mm}} = f + \Delta f_{OFFOA2} \quad (3.65)$$

gdje je Δf_{OFFOA2} devijacija frekvencije f_{OFFOA2} izlaznog napona V_{mm} u prisustvu naponskog ofseta V_{OFFOA2} operacionog pojačavača OA_2 u odnosu na idealan slučaj izražen relacijom (3.39) dat kao:

$$\Delta f_{OFFOA2} = \frac{V_{OFFOA2}}{R_2 I_{REF}} \frac{1}{T_{mm}} \quad (3.66)$$

Relativna greška $E_{ROFFOA2}$ uzrokovana naponskim ofsetom V_{OFFOA2} operacionog pojačavača OA_2 može se izraziti na sljedeći način korišćenjem relacija (3.28) i (3.65):

$$E_{ROFFOA2} [\%] = \frac{f - f_{OFFOA2}}{f} \cdot 100 = -\frac{V_{OFFOA2}}{V_{in}} \cdot 100. \quad (3.66)$$

Uvidom u relaciju (3.66) zaključuje se da relativna greška $E_{ROFFOA2}$ uzrokovana naponskim ofsetom V_{OFFOA2} operacionog pojačavača OA_2 zavisi od ulaznog napona V_{in} , i ne može se umanjiti na sistematski način. Apsolutna vrijednost relativne greške $E_{ROFFOA2}$ (3.66) biće utoliko veća ukoliko je ulazni napon V_{in} manji, i obratno. Ovaj problem može se riješiti primjenom kalibracije pomoću koje se može utvrditi vrijednost devijacije Δf_{OFFOA2} (3.66) frekvencije f_{OFFOA2} (3.65) izlaznog napona V_{mm} u prisustvu naponskog ofseta V_{OFFOA2} operacionog pojačavača OA_2 u odnosu na idealan slučaj.

3.5.2 Greška usljed parazitne kapacitivnosti u drejnu MOSFET-a M_1

Skokovitim porast napona $\Delta V_{c1}(0+)$ na početku kvazistabilnog stanja uslijed parazitne kapacitivnosti C_{d1s1s2} u drejnu MOSFET-a M_1 izražena je relacijom (3.51). Kombinovanjem relacija (3.37) i (3.51) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 tokom trajanja stabilnog stanja monostabilnog multivibratora MM (parne faze: $V_{mm} = 0$) u prisustvu

parazitarne kapacitivnosti C_{d1s1s2} :

$$\begin{aligned} V_{c1} &= V_{REF2} + \frac{I_{REF}}{C_1} T_{mm} - \frac{V_{in}}{R_2 C_1} (T_{mm} + t) + \Delta V_{c1} (0+) \\ &= V_{REF2} + \frac{I_{REF}}{C_1} T_{mm} - \frac{V_{in}}{R_2 C_1} (T_{mm} + t) + \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} (R_4 I_{REF} - V_{REF2}). \end{aligned} \quad (3.67)$$

Na osnovu (3.67) dobija se trajanje $T_{2cd1s1s2}$ stabilnog stanja monostabilnog multivibratora MM:

$$V_{c1}(T_{2cd1s1s2}) = V_{REF2} \Rightarrow T_{2cd1s1s2} = \left(\frac{R_2 I_{REF}}{V_{in}} - 1 \right) T_{mm} + \frac{C_1 C_{d1s1s2}}{C_1 + C_{d1s1s2}} \frac{R_2}{V_{in}} (R_4 I_{REF} - V_{REF2}) \quad (3.68)$$

Sada se relacija (3.39) kojom je izražena frekvenciju f izlaznog napona V_{mm} u idealnom slučaju modifikuje u cilju dobijanja frekvencije $f_{cd1s1s2}$ izlaznog napona V_{mm} u prisustvu parazitne kapacitivnosti C_{d1s1s2} u drejnu MOSFET-a M_1 korišćenjem relacije (3.68) na sljedeći način:

$$f_{cd1s1s2} = \frac{1}{T_{mm} + T_{2cd1s1s2}} = \frac{V_{in}}{R_2} \frac{1}{I_{REF} T_{mm} + \frac{C_1 C_{d1s1s2}}{C_1 + C_{d1s1s2}} (R_4 I_{REF} - V_{REF2})} \quad (3.69)$$

Relativna greška $E_{Rcd1s1s2}$ uzrokovana parazitnom kapacitivnošću C_{d1s1s2} u drejnu MOSFET-a M_1 može se izraziti na sljedeći način korišćenjem relacija (3.39) i (3.69):

$$E_{Rcd1s1s2} [\%] = \frac{f - f_{cd1s1s2}}{f} \cdot 100 = \frac{\frac{C_1 C_{d1s1s2}}{C_1 + C_{d1s1s2}} (R_4 I_{REF} - V_{REF2})}{I_{REF} T_{mm} + \frac{C_1 C_{d1s1s2}}{C_1 + C_{d1s1s2}} (R_4 I_{REF} - V_{REF2})} \cdot 100. \quad (3.70)$$

Uvidom u relaciju (3.70) zaključuje se da relativna greška $E_{cd1s1s2}$ uzrokovana parazitnom kapacitivnošću C_{d1s1s2} u drejnu MOSFET-a M_1 ne zavisi od ulaznog napona V_{in} , i može se potpuno eliminisati ili umanjiti na sistematski način. Potpuna eliminacija relativne greška $E_{Rcd1s1s2}$ (3.70) može se izvesti ispunjavanjem uslova (3.52). Umanjenje relativne greška $E_{Rcd1s1s2}$ (3.70) može se izvršiti korišćenjem što veće kapacitivnosti integracionog kondenzatora C_1 u odnosu na parazitnu kapacitivnost C_{d1s1s2} u drejnu MOSFET-a M_1 , što rezultira ekvivalentnom kapacitivnošću $C_1 C_{d1s1s2} / (C_1 + C_{d1s1s2}) \approx C_{d1s1s2}$. Konačno, umanjeње relativne greška $E_{Rcd1s1s2}$ (3.70) može se izvesti maksimiziranjem proizvoda $I_{REF} T_{mm}$. Ovo se može realizovati povećanjem referentne struje I_{REF} i/ili povećanjem trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM. Međutim, povećanje referentne struje I_{REF} dovodi kako do povećanja disipacije snage tako i do smanjenja osjetljivosti S (3.40), dok povećanje trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM dovodi do smanjenja osjetljivosti S (3.40).

3.5.3 Greška usljed vremena kašnjenja komparatora CMP_1 , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S_1

Prilikom prelaza iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM, komparator CMP_1 na svom izlazu mijenja napon od $V_{cmp1} = 0$ do $V_{cmp1} = V_{DD}$ sa kašnjenjem τ_{cmp1} . Nakon toga D flip flop se setuje, i napon na njegovom izlazu mijenja se od $Q_{ff} = 0$ do

$Q_{ff} = V_{DD}$ sa kašnjenjem τ_{qffset} . Nakon setovanja D flip-flopa prekidač S_1 se zatvara sa kašnjenjem τ_{s1on} . Dakle, ukupno kašnjenje τ_{sq} koje se dešava prilikom prelaza iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM iznosi:

$$\tau_{sq} = \tau_{cmp1} + \tau_{qffset} + \tau_{s1on}. \quad (3.71)$$

Sa druge strane, prilikom prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM, komparator CMP_2 na svom izlazu mijenja napon od $V_{cmp2} = 0$ do $V_{cmp2} = V_{DD}$ sa kašnjenjem τ_{cmp2} . Nakon toga D flip flop se resetuje, i napon na njegovom invertovanom izlazu mijenja se od $Q_{ffinv} = 0$ do $Q_{ffinv} = V_{DD}$ sa kašnjenjem $\tau_{qffreset}$. Nakon resetovanja D flip-flopa prekidač S_1 se otvara sa kašnjenjem τ_{s1off} . Dakle, ukupno kašnjenje τ_{qs} koje se dešava prilikom prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM iznosi:

$$\tau_{qs} = \tau_{cmp2} + \tau_{qffreset} + \tau_{s1off}. \quad (3.72)$$

Pošto stabilno stanje traje duže u odnosu na idealan slučaj T_2 (3.38) za iznos vremena kašnjenja τ_{sq} (3.71), na kraju stabilnog stanja napon V_{c1} na integracionom kondenzatoru C_1 iznosi:

$$V_{c1}(T_2 + \tau_{sq}) = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} \quad (3.73)$$

Sada se u stacionarnom režimu razlikuju sljedeće dvije faze:

1. Kvizistabilno stanje monostabilnog multivibratora MM ($V_{mm} = V_{DD}$)

Bilateralni CMOS prekidač S_1 je zatvoren, kroz integracioni kondenzator C_1 protiče struja $I_{REF} - I_{in}$, pa se napon V_{c1} na integracionom kondenzatoru C_1 mijenja na sljedeći način:

$$V_{c1} = \frac{1}{C_1} \int (I_{REF} - I_{in}) dt = \frac{I_{REF} - I_{in}}{C_1} t + A, \quad (3.74)$$

Integraciona konstanta A određuje se na bazi početnog uslova:

$$V_{c1}(0-) = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq}, \quad (3.75)$$

$$V_{c1}(0+) = A. \quad (3.76)$$

Pošto mora biti ispunjeno: $V_{c1}(0-) = V_{c1}(0+)$, na osnovu relacija (3.75) i (3.76) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq}. \quad (3.77)$$

Kombinovanjem relacija (3.74) i (3.77) dobija se napon V_{c1} na integracionom kondenzatoru C_1 :

$$V_{c1} = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} t. \quad (3.78)$$

Pošto je $I_{REF} > I_{in}$, $0 < V_{in} < V_{inmax}$, napon V_{c1} na integracionom kondenzatoru C_1 raste po linearnom zakonu sa protokom vremena t . Uzimajući u obzir ukupno kašnjenje τ_{qs} (3.72) prilikom

prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM, na kraju razmatrane faze ovaj napon $V_{c1}(T_{mm} + \tau_{qs})$ iznosi:

$$V_{c1}(T_{mm} + \tau_{qs}) = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} (T_{mm} + \tau_{qs}), \quad (3.79)$$

čime se prelazi u narednu fazu rada.

2. Stabilno stanje monostabilnog multivibratora MM ($V_{mm} = 0$)

Bilateralni CMOS prekidač S_1 je otvoren, kroz integracioni kondenzator C_1 protiče struja I_{in} , pa se napon V_{c1} na integracionom kondenzatoru C_1 mijenja na sljedeći način:

$$V_{c1} = -\frac{1}{C_1} \int I_{in} dt = -\frac{I_{in}}{C_1} t + A \quad (3.80)$$

Integraciona konstanta A određuje se na bazi početnog uslova:

$$V_{c1}(0-) = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} (T_{mm} + \tau_{qs}), \quad (3.81)$$

$$V_{c1}(0+) = A. \quad (3.82)$$

Pošto mora biti ispunjeno: $V_{c1}(0-) = V_{c1}(0+)$, na osnovu relacija (3.81) i (3.82) dobija se da je integraciona konstanta A data kao:

$$A = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} (T_{mm} + \tau_{qs}). \quad (3.83)$$

Kombinovanjem relacija (3.80) i (3.83) dobija se napon V_{c1} na integracionom kondenzatoru C_1 :

$$\begin{aligned} V_{c1} &= V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} (T_{mm} + \tau_{qs}) - \frac{I_{in}}{C_1} t \\ &= V_{REF2} + \frac{I_{REF}}{C_1} (T_{mm} + \tau_{qs}) - \frac{I_{in}}{C_1} (T_{mm} + \tau_{sq} + \tau_{qs} + t). \end{aligned} \quad (3.84)$$

Uvidom u relaciju (3.84) jasno je da napon V_{c1} na integracionom kondenzatoru C_1 opada po linearnom zakonu sa protokom vremena t . U trenutku T_2 napon V_{c1} na integracionom kondenzatoru C_1 spušta se do vrijednosti referentnog napona V_{REF2} :

$$\begin{aligned} V_{c1}(T_2) = V_{REF2} &\Rightarrow V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} (T_{mm} + \tau_{qs}) - \frac{I_{in}}{C_1} T_2 = V_{REF2} \\ &\Rightarrow T_2 = \left(\frac{I_{REF}}{I_{in}} - 1 \right) (T_{mm} + \tau_{qs}) - \tau_{sq}. \end{aligned} \quad (3.85)$$

Uzimajući u obzir ukupno kašnjenje τ_{sq} (3.71) prilikom prelaza iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM, na kraju razmatrane faze ovaj napon $V_{c1}(T_2 + \tau_{sq})$ iznosi:

$$V_{c1}(T_2 + \tau_{sq}) = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} + \frac{I_{REF} - I_{in}}{C_1} (T_{mm} + \tau_{qs}) - \frac{I_{in}}{C_1} (T_2 + \tau_{sq}) = V_{REF2} - \frac{I_{in}}{C_1} \tau_{sq} \quad (3.86)$$

Nakon isteka vremenskog intervala $T_2 + \tau_{sq}$ započinje kvazistabilno stanje monostabilnog multivibratora MM, tj. prelazi se u narednu fazu rada koja je identična fazi broj 1.

Perioda T_τ napona V_{mm} na izlazu monostabilnog multivibratora MM predstavljena je sumom trajanja vremenskog intervala T_2 uvećanog za ukupno kašnjenje τ_{sq} (3.71) koje se dešava prilikom prelaza iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM i kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM uvećanog za ukupno kašnjenje τ_{qs} (3.72) koje se dešava prilikom prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM i: $T_\tau = T_2 + \tau_{sq} + T_{mm} + \tau_{qs}$. Korišćenjem relacije (3.85), izraz za frekvenciju f_τ izlaznog napona V_{mm} može se izvesti na sljedeći način:

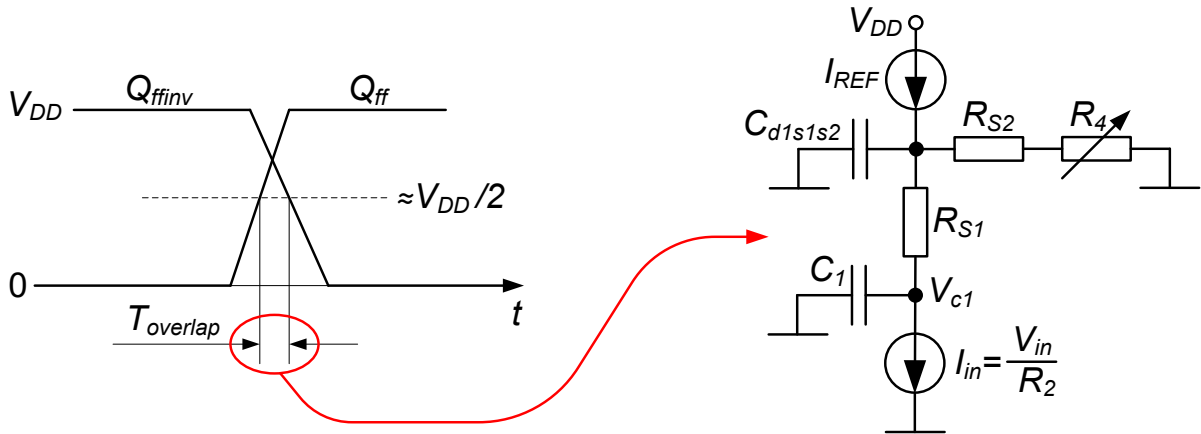
$$f_\tau = \frac{1}{T_\tau} = \frac{1}{T_2 + \tau_{sq} + T_{mm} + \tau_{qs}} = \frac{I_{in}}{I_{REF}} \frac{1}{T_{mm} + \tau_{qs}} = \frac{V_{in}}{R_2 I_{REF}} \frac{1}{T_{mm} + \tau_{qs}} \quad (3.87)$$

Relativna greška $E_{R\tau}$ uzrokovana vremenom kašnjenja komparatora CMP_1 , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S_1 može se izraziti na sljedeći način korišćenjem relacija (3.39) i (3.86):

$$E_{R\tau} [\%] = \frac{f - f_\tau}{f} \cdot 100 = \frac{\tau_{qs}}{T_{mm} + \tau_{qs}} \cdot 100. \quad (3.88)$$

Uvidom u relaciju (3.88) zaključuje se da relativna greška $E_{R\tau}$ uzrokovana vremenom kašnjenja komparatora CMP_1 , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S_1 zavisi samo od ukupnog kašnjenja τ_{qs} prilikom prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM (3.72), ali ne i od ukupnog kašnjenja τ_{sq} prilikom prelaza iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM (3.71). Umanjenje relativne greška $E_{R\tau}$ (3.88) može se izvesti maksimiziranjem trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM u odnosu na ukupno kašnjenje τ_{qs} prilikom prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM. Međutim, povećanje trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM dovodi do smanjenja osjetljivosti S (3.40).

Najjednostavniji način rješavanja problema modelovanog relacijama (3.87) i (3.88) uzrokovanog vremenom kašnjenja komparatora CMP_1 , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S_1 jeste objedinjavanje sume trajanja T_{mm} kvazistabilnog stanja monostabilnog multivibrarora MM u idealnom slučaju (3.34) i ukupnog kašnjenja τ_{qs} koje se dešava prilikom prelaza iz kvazistabilnog stanja u stabilno stanje monostabilnog multivibratora MM (3.72). Ova objedinjena suma dva vremenska interval $T_{mm} + \tau_{qs}$ može se tretirati kao trajanje kvazistabilnog stanja realnog monostabilnog multivibratora MM.



Slika. 3.8. Ekvivalentna šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju u okolini bilateralnih CMOS prekidača S_1 i S_2 prilikom tranzicije iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM kada su oba signal Q_{ff} i Q_{ffinv} na visokom logičkom.

3.5.4 Greška usljed parazitne kapacitivnosti u drejnu MOSFET-a M_1 i djelimičnog preklapanja neinvertovanog i invertovanog signala na izlazu D flip-flopa

Zbog konačnog i različitog vremena porasta i vremena pada izlaznih signala D flip-flopa, talasni oblici napona Q_{ff} i Q_{ffinv} nijesu savršeno invertovani. Prilikom tranzicije ovih napona od 0 prema V_{DD} i obratno, tokom kraćeg vremenskog intervala oba signala Q_{ff} i Q_{ffinv} su na visokom logičkom nivou. Ova pojava izaziva grešku tokom tranzicije iz stabilnog u kvazistabilno stanje monostabilnog multivibratora MM. Ekvivalentna šema predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju u okolini bilateralnih CMOS prekidača S_1 i S_2 prilikom tranzicije iz stabilnog stanja u kvazistabilno stanje monostabilnog multivibratora MM kada su oba signal Q_{ff} i Q_{ffinv} na visokom logičkom nivou prikazana je na slici 3.8. Kada se napon Q_{ff} mijenja od 0 do V_{DD} , a napon Q_{ffinv} od V_{DD} do 0, tokom kratkog vremenskog interval $T_{overlap}$ oba signal Q_{ff} i Q_{ffinv} su na visokom logičkom nivou ($> V_{DD}/2$). Tada su oba bilateralna CMOS prekidača S_1 i S_2 zatvorena, i mogu se ekvivalentirati odgovarajućim otpornicima kanala R_{S1} i R_{S2} . Ovo znači da će tokom kratkog vremenskog intervala $T_{overlap}$ jedan dio naelektrisanja koji je akumuliran na kraju stabilnog stanja monostabilnog multivibratora MM u integracionom kondenzatoru C_1 (3.42) i parazitnom kondenzatoru u drejnu MOSFET-a M_1 C_{d1s1s2} (3.48) proteći prema uzemljenju preko redne veze otpornika R_{S2} i R_4 , umjesto da se cjelokupno akumulirano naelektrisanje (3.42), (3.48) preraspodijeli između integracionog kondenzatora C_1 i parazitnog kondenzatora C_{d1s1s2} u drejnu MOSFET-a M_1 .

Zanemarujući otpornosti kanala R_{S1} i R_{S2} zatvorenih bilateralnih CMOS prekidača S_1 i S_2 tokom trajanja intervala $T_{overlap}$, ne uzimajući u obzir DC strujne izvore I_{REF} i I_{in} , prvi Kirhofov zakon za zajednički čvor koji formiraju kondenzatori C_1 i C_{d1s1s2} , i otpornik R_4 formuliše se kao:

$$C_1 \frac{dV_{c1}}{dt} + C_{d1s1s2} \frac{dV_{c1}}{dt} + \frac{V_{c1}}{R_4} = 0. \quad (3.89)$$

Riješenje diferencijalne jednačine (3.89) dato je u obliku:

$$V_{c1} = Be^{-\frac{t}{R_4(C_1+C_{d1s1s2})}} \quad (3.90)$$

gdje je $B = const.$ Ukupna količina naelektrisanja akumulirana na kraju stabilnog stanja monostabilnog multivibratora MM u integracionom kondenzatoru C_1 (3.42) i parazitnom kondenzatoru u drejnu MOSFET-a M_1 C_{d1s1s2} (3.48) tokom trajanja intervala $T_{overlap}$ preraspoređuje se između integracionog kondenzatora C_1 , parazitnog kondenzatora u drejnu MOSFET-a M_1 C_{d1s1s2} i naelektrisanja koje protiče kroz otpornik R_4 prema sljedećem modelu:

$$Q_{cd1s1s2}(0^-) + Q_{c1}(0^-) = C_1 V_{c1} + C_{d1s1s2} V_{c1} + \frac{V_{c1}}{R_4} t. \quad (3.91)$$

Kombinovanjem relacija (3.42) i (3.48) prethodna relacija postaje:

$$C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF} = \left(C_1 + C_{d1s1s2} + \frac{t}{R_4} \right) Be^{-\frac{t}{R_4(C_1+C_{d1s1s2})}}. \quad (3.92)$$

Konstanta B dobija se za $t = 0$:

$$B = \frac{C_1}{C_1 + C_{d1s1s2}} V_{REF2} + \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} R_4 I_{REF}. \quad (3.93)$$

Kombinovanjem relacija (3.90) i (3.93) dobija se izraz za napon V_{c1} tokom intervala $T_{overlap}$:

$$V_{c1} = \left(\frac{C_1}{C_1 + C_{d1s1s2}} V_{REF2} + \frac{C_{d1s1s2}}{C_1 + C_{d1s1s2}} R_4 I_{REF} \right) e^{-\frac{t}{R_4(C_1+C_{d1s1s2})}}. \quad (3.94)$$

Razvojem eksponencijalne funkcije e^x u stepeni red, prethodna relacija se modifikuje kao:

$$V_{c1} = \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{t}{R_4(C_1 + C_{d1s1s2})} + \frac{t^2}{2! R_4^2 (C_1 + C_{d1s1s2})^2} - \frac{t^3}{3! R_4^3 (C_1 + C_{d1s1s2})^3} + \dots \right] \quad (3.95)$$

Pošto je $C_1 \sim 1$ nF, $C_1 \gg C_{d1s1s2}$, i $R_4 \sim 10$ k Ω , vremenska konstanta iznosi $R_4(C_1 + C_{d1s1s2}) \sim 10$ μ s. Sa druge strane, trajanje intervala $T_{overlap}$ tokom kojeg su oba bilateralna CMOS prekidača S_1 i S_2 zatvorena je $T_{overlap} < 1$ μ s, pa je stoga $R_4(C_1 + C_{d1s1s2}) \gg T_{overlap}$. Može se zaključiti da se za vremenski interval $0 < t < T_{overlap}$ relacija (3.95) može aproksimirati na sljedeći način:

$$V_{c1} \approx \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{t}{R_4(C_1 + C_{d1s1s2})} \right]. \quad (3.96)$$

Vrijednost napona V_{c1} na kraju intervala $T_{overlap}$ na početku kvazistabilnog stanja monostabilnog multivibratora MM približno iznosi:

$$V_{c1}(T_{overlap}) \approx \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4(C_1 + C_{d1s1s2})} \right]. \quad (3.97)$$

Jasno je da konačno trajanje intervala $T_{overlap}$ tokom kojeg su oba bilateralna CMOS prekidača S_1 i S_2 zatvorena na početku kvazistabilnog stanja monostabilnog multivibratora MM u sadejstvu sa

parazitnom kapacitivnošću C_{d1s1s2} unosi grešku koja se manifestuje skokovitim prirastom napona $\Delta V_{c1}(T_{overlap})$ na kraju intervala $T_{overlap}$:

$$\Delta V_{c1}(T_{overlap}) = V_{c1}(T_{overlap}) - V_{REF2} \approx \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4 (C_1 + C_{d1s1s2})} \right] - V_{REF2}. \quad (3.98)$$

Kombinovanjem relacija (3.37) i (3.98) dobija se izraz za napon V_{c1} na integracionom kondenzatoru C_1 tokom trajanja stabilnog stanja monostabilnog multivibratora MM (parne faze: $V_{mm} = 0$) u prisustvu parazitne kapacitivnosti C_{d1s1s2} :

$$\begin{aligned} V_{c1} &= V_{REF2} + \frac{I_{REF}}{C_1} T_{mm} - \frac{V_{in}}{R_2 C_1} (T_{mm} + t) + \Delta V_{c1}(T_{overlap}) \\ &\approx \frac{I_{REF}}{C_1} T_{mm} - \frac{V_{in}}{R_2 C_1} (T_{mm} + t) + \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4 (C_1 + C_{d1s1s2})} \right]. \end{aligned} \quad (3.99)$$

Na osnovu (3.99) dobija se trajanje T_{S1S2} stabilnog stanja monostabilnog multivibratora MM:

$$\begin{aligned} V_{c1}(T_{S1S2}) &\approx V_{REF2} \\ \Rightarrow T_{S1S2} &\approx \left(\frac{R_2 I_{REF}}{V_{in}} - 1 \right) T_{mm} + \frac{R_2 C_1}{V_{in}} \left\{ \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4 (C_1 + C_{d1s1s2})} \right] - V_{REF2} \right\} \end{aligned} \quad (3.100)$$

Sada se relacija (3.39) kojom je izražena frekvenciju f izlaznog napona V_{mm} u idealnom slučaju modifikuje u cilju dobijanja frekvencije f_{S1S2} izlaznog napona V_{mm} u prisustvu djelimičnog preklapanja neinvertovanog i invertovanog signala Q_{ff} i Q_{ffinv} na izlazu D flip-flopa i parazitne kapacitivnosti C_{d1s1s2} u drejnu MOSFET-a M_1 korišćenjem relacije (3.100) na sljedeći način:

$$f_{S1S2} = \frac{1}{T_{mm} + T_{S1S2}} \approx \frac{V_{in}}{R_2} \frac{1}{I_{REF} T_{mm} + C_1 \left\{ \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4 (C_1 + C_{d1s1s2})} \right] - V_{REF2} \right\}}. \quad (3.101)$$

Relativna greška E_{RS1S2} uzrokovana djelimičnim preklapanjem neinvertovanog i invertovanog signala Q_{ff} i Q_{ffinv} na izlazu D flip-flopa i parazitnom kapacitivnošću C_{d1s1s2} u drejnu MOSFET-a M_1 može se izraziti na sljedeći način korišćenjem relacija (3.39) i (3.101):

$$\begin{aligned} E_{RS1S2} [\%] &= \frac{f - f_{S1S2}}{f} \cdot 100 \\ &\approx \frac{C_1 \left\{ \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4 (C_1 + C_{d1s1s2})} \right] - V_{REF2} \right\}}{I_{REF} T_{mm} + C_1 \left\{ \frac{C_1 V_{REF2} + C_{d1s1s2} R_4 I_{REF}}{C_1 + C_{d1s1s2}} \left[1 - \frac{T_{overlap}}{R_4 (C_1 + C_{d1s1s2})} \right] - V_{REF2} \right\}} \cdot 100. \end{aligned} \quad (3.102)$$

Uvidom u relaciju (3.102) zaključuje se da relativna greška E_{RS1S2} uzrokovana djelimičnim preklapanjem neinvertovanog i invertovanog signala Q_{ff} i Q_{ffinv} na izlazu D flip-flopa i parazitnom kapacitivnošću C_{d1s1s2} u drejnu MOSFET-a M_1 ne zavisi od ulaznog napona V_{in} , i može se eliminisati ili umanjiti na sistematski način. Potpuna eliminacija relativne greška E_{RS1S2} (3.102)

postiže se ispunjavanjem uslova $E_{RS1S2} = 0$, što dovodi do sljedećeg izraza za pad napona $R_4 I_{REF}$ na otporniku R_4 tokom trajanja stabilnog stanja monostabilnog multivibratora MM:

$$E_{RS1S2} = 0 \Rightarrow R_4 I_{REF} = \frac{R_4 (C_1 + C_{d1s1s2}) + \frac{C_1}{C_{d1s1s2}} T_{overlap}}{R_4 (C_1 + C_{d1s1s2}) - T_{overlap}} V_{REF2} > V_{REF2}. \quad (3.103)$$

Na osnovu relacije (3.103) može se zaključiti da pad napona $R_4 I_{REF}$ na otporniku R_4 tokom trajanja stabilnog stanja monostabilnog multivibratora MM treba da bude nešto veći od referentnog napona V_{REF2} . Ovaj uslov je realniji od uslova (3.52) za eliminaciju greške uzrokovane parazitnim kondenzatorom C_{d1s1s2} u drejnu MOSFET-a M_1 , koji je izveden podrazumijevajući da nema djelimičnog preklapanja neinvertovanog i invertovanog signala Q_{ff} i Q_{ffinv} na izlazu D flip-flopa.

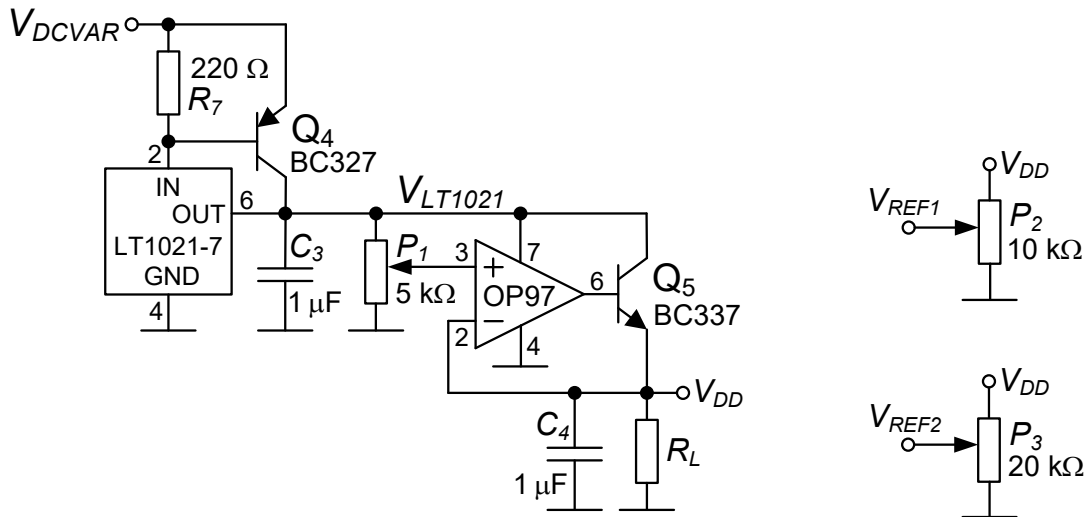
4. Measurement set-up za mjerenje performansi visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja

4.1 Realizacija prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja u diskretnoj tehnici

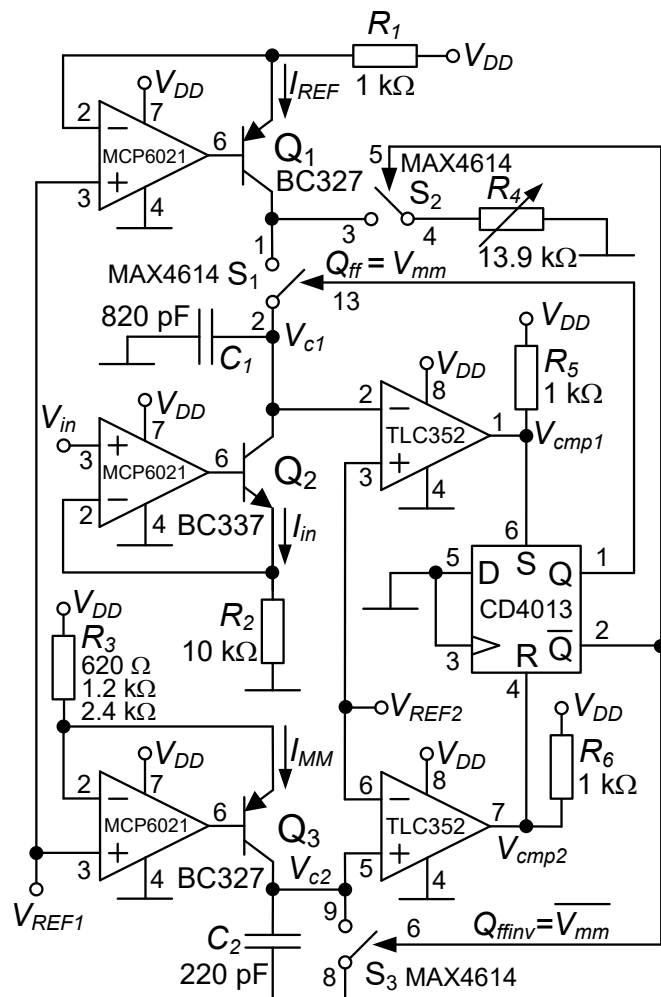
Prototip predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja realizovan je u diskretnoj tehnici, korišćenjem diskretnih aktivnih i pasivnih elektronskih komponenti postavljenih na štampanu ploču univerzalnog tipa i međusobno povezanih metalizacijama i *jumper*-ima.

Šema kola za realizaciju napona napajanja V_{DD} i referentnih napona V_{REF1} i V_{REF2} visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja prikazana je na slici 4.1. Ulazni napon V_{DCVAR} iz nedovoljno stabilisanog DC naponskog izvora dovodi se na ulaz kola za generisanje naponske reference. Izlaz naponske reference se dovodi na ulaz naponskog regulatora koji na svom izlazu generiše napon napajanja V_{DD} visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja, uz obezbjeđenje struje koju zahtijeva ovaj potrošač. Integrisano kolo LT1021DCN8-7 bazirano na Zener diodi [20] predstavlja naponsku referencu čiji se izlazni strujni kapacitet povećava primjenom *pnp* BJT-a BC327-40 [21] i otpornika R_7 , dok kondenzator C_3 služi za filtriranje visokostabilisanog napona naponske reference $V_{LT1021} = 7$ V. Naponski regulator sastoji se od potencijometra P_1 za podešavanje vrijednosti napona napajanja V_{DD} , operacionog pojačavača OP97FP [22], *nnp* BJT-a BC337 [23], i kondenzatora C_4 za filtriranje napona napajanja V_{DD} . Potencijometar P_1 , operacioni pojačavač OP97FP i BJT BC337-40 napajaju se iz naponske reference naponom $V_{LT1021} = 7$ V. Otpornikom R_L modelovan je potrošač kojeg predstavlja visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Na ulaz naponske reference dovodi se nestabilisani DC napon V_{DCVAR} koji je najmanje za 2 V veći od napona naponske reference $V_{LT1021} = 7$ V. Sa druge strane, na izlazu naponskog regulatora dobija se stabilisani unipolarni napon $V_{DD} = 2.7$ V kojim se napaja visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Generatori referentnih napona V_{REF1} i V_{REF2} realizovani su pomoću potencijometara P_2 i P_3 , redom, slika 4.1, sa izlazima na klizačima potencijometara.

Kompletna šema visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa rasporedom pinova pojedinih komponenti u formi integrisanih kola i vrijednostima pojedinih otpornosti i kapacitivnosti prikazana je na slici 4.2. Napon napajanja V_{DD} , i referentni naponi V_{REF1} i V_{REF2} imaju sljedeće vrijednosti: $V_{DD} = 2.7$ V, $V_{REF1} = 2.6$ V, $V_{REF2} = 1.35$ V. Metal-filmski otpornici imaju sljedeće nominalne otpornosti: $R_1 = 1$ k Ω , $R_2 = 10$ k Ω , $R_3 \in \{620 \Omega, 1.2$ k $\Omega, 2.4$ k $\Omega\}$, $R_4 = 13.9$ k Ω , $R_5 = R_6 = 1$ k Ω , $R_7 = 220 \Omega$. Kondenzatori imaju sljedeće nominalne kapacitivnosti: $C_1 = 820$ pF, $C_2 = 220$ pF (keramički kondenzatori), $C_3 = C_4 = 1$ μ F (polipropilenski kondenzatori). Korišćeni su naponski komparatori TLC352IP [17], bilateralni CMOS prekidači MAX4614CPD [18], D flip-flop CD4013BE [19], i rail-to-rail operacioni pojačavači MCP6021I/P [24]. Zbog jednostavnije realizacije, umjesto p-kanalnih MOSFET-ova M_1 i M_3 i n-kanalnog MOSFET-a M_2 u sklopu odgovarajućih strujnih izvora na slici 3.3, korišćeni su *pnp* BJT-ovi BC327-40 [21] Q_1 i Q_3 , i *nnp* BJT BC337-40 [23] Q_2 .



Slika. 4.1. Šema kola za realizaciju napona napajanja V_{DD} i referentnih napona V_{REF1} i V_{REF2} visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.



Slika. 4.2. Kompletna šema visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa rasporedom pinova pojedinih komponenti u formi integriranih kola i vrijednostima pojedinih otpornosti i kapacitivnosti.

4.2 Measurement set-up za mjerenje performansi visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Napajanje prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja $V_{DD} = 2.7$ V obezbjeđeno je dovođenjem nestabilisanog DC napona $V_{DCVAR} = 10$ V iz DC izvora za napajanje TENMA 72-13310.

Eksperimentalna valorizacija visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja obavljena je za 3 različite vrijednosti trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM, $T_{mm} \in \{1.84 \mu\text{s}, 3.56 \mu\text{s}, 7.13 \mu\text{s}\}$. Trajanja kvazistabilnih stanja T_{mm} monostabilnog multivibratora MM, relacija (3.34), podešavana su izborom odgovarajuće otpornosti otpornika $R_3 \in \{620 \Omega, 1.2 \text{ k}\Omega, 2.4 \text{ k}\Omega\}$. Svaka od tri navedene vrijednosti trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM ima odgovarajući opseg ulaznog napona V_{in} . Ulazni napon V_{in} mijenjan je u opsezima od 0 do 575 mV ($T_{mm} = 1.84 \mu\text{s}$, $R_3 = 620 \Omega$), od 0 do 750 mV ($T_{mm} = 3.56 \mu\text{s}$, $R_3 = 1.2 \text{ k}\Omega$), i od 0 do 900 mV ($T_{mm} = 7.13 \mu\text{s}$, $R_3 = 2.4 \text{ k}\Omega$), sa korakom od 25 mV. Mjerenje ulaznog napona V_{in} obavljeno je pomoću digitalnog multimetra Rigol DM3058E sa $5\frac{1}{2}$ cifara. Dva izlazna signala visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja međusobno su invertovani, i samim tim ravnopravni sa aspekta mjerenja frekvencije izlaznog signala. U pitanju su izlazi D flip-flopa $Q_{ff} = V_{mm}$ i $Q_{ffinv} = \overline{V_{mm}}$. Frekvencija invertovanog izlaza D flip-flopa $Q_{ffinv} = \overline{V_{mm}}$ izmjerena je pomoću dvokanalnog generatora proizvoljnih talasnih oblika Rigol DG4102 (100 MHz, 500 MS/s), koji obavlja i funkciju frekvenckmetra. Zbog potrebe da se u što većoj mjeri izbjegnju parazitni efekti mjerne opreme koja je korišćena, umjesto standardnog koaksijalnog kabla ulazne kapacitivnosti 100 pF koji je sastavni dio frekvenckmetra Rigol DG4102, korišćene su dvije obične izolovane bakarne žice. Jedna bakarna žica povezuje invertovani izlaz D flip-flopa i ulaz frekvenckmetra, dok druga žica služi za uzemljenje.

Talasnici napona u pojedinim karakterističnim tačkama prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja registrovani su pomoću četvorokanalnog osciloskopa Teledyne LeCroy WaveJet Touch 334 (350 MHz, 2 GS/s).

5. Rezultati mjerenja i uporedna analiza

5.1 Rezultati mjerenja zavisnosti frekvencije izlaznog signala od ulaznog napona

Na prototipu predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja realizovanom u diskretnoj tehnici obavljena su mjerenja zavisnosti frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L koja je izračunata prema sljedećoj relaciji:

$$E_L [\%] = \frac{f_{out} - f_{opt}}{f_{outmax}} \cdot 100. \quad (5.1)$$

Ovdje je f_{out} izmjerena vrijednost frekvencije izlaznog signala za datu vrijednost ulaznog napona V_{IN} , f_{opt} vrijednost frekvencije optimalne prave za istu vrijednost ulaznog napona V_{IN} , i f_{outmax} je najveća izmjerena vrijednost frekvencije f_{out} . Optimalna prava formirana je primjenom metode najmanjih kvadrata.

Izmjerena zavisnost frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L , za opseg ulaznog napona V_{IN} od 25 mV do 575 mV sa korakom od $\Delta V_{IN} = 25$ mV i trajanjem kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu s$ ($R_3 = 620 \Omega$) prikazana je na slici 5.1. Za dati opseg ulaznog napona V_{IN} izlazna frekvencija f_{out} mijenja se u opsegu od 13.175 kHz do 295.13 kHz. Osjetljivost iznosi $S = \partial f_{out} / \partial V_{IN} = 512.6$ kHz/V. Greška linearnosti E_L nalazi se u granicama od - 0.13 % do 0.1 %. Konvertor napona u frekvenciju ulazi u neregularni režim rada za ulazne napone $V_{IN} > 575$ mV ($T_{mm} = 1.84 \mu s$, $R_3 = 620 \Omega$).

Izmjerena zavisnost frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L , za opseg ulaznog napona V_{IN} od 25 mV do 750 mV sa korakom od $\Delta V_{IN} = 25$ mV i trajanjem kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56 \mu s$ ($R_3 = 1.2$ k Ω) prikazana je na slici 5.2. Za dati opseg ulaznog napona V_{IN} izlazna frekvencija f_{out} mijenja se u opsegu od 6.943 kHz do 200.40 kHz. Osjetljivost iznosi $S = \partial f_{out} / \partial V_{IN} = 266.8$ kHz/V. Greška linearnosti E_L nalazi se u granicama od - 0.16 % do 0.12 %. Konvertor napona u frekvenciju ulazi u neregularni režim rada za ulazne napone $V_{IN} > 750$ mV ($T_{mm} = 3.56 \mu s$, $R_3 = 1.2$ k Ω).

Izmjerena zavisnost frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L , za opseg ulaznog napona V_{IN} od 25 mV do 900 mV sa korakom od $\Delta V_{IN} = 25$ mV i trajanjem kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \mu s$ ($R_3 = 2.4$ k Ω) prikazana je na slici 5.3. Za dati opseg ulaznog napona V_{IN} izlazna frekvencija f_{out} mijenja se u opsegu od 3.504 kHz do 114.89 kHz. Osjetljivost iznosi $S = \partial f_{out} / \partial V_{IN} = 127.3$ kHz/V. Greška linearnosti E_L nalazi se u granicama od - 0.26 % do 0.14 %. Konvertor napona u frekvenciju ulazi u neregularni režim rada za ulazne napone $V_{IN} > 900$ mV ($T_{mm} = 7.13 \mu s$, $R_3 = 2.4$ k Ω).

Mjerenja zavisnosti frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} pokazuju da smanjenje trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM (povećanje osjetljivosti S) uzrokuje smanjenje opsega ulaznog napona V_{IN} . Ovo je posljedica činjenice da brzina kojom naponski komparator CMP₁, slika 3.3, mijenja naponsko stanje na svom izlazu zavisi od brzine promjena napona na njegovim ulaznim priključcima. Na “+” ulaznom priključku

Tabela I. Sumarni rezultati mjerenja zavisnosti frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN}

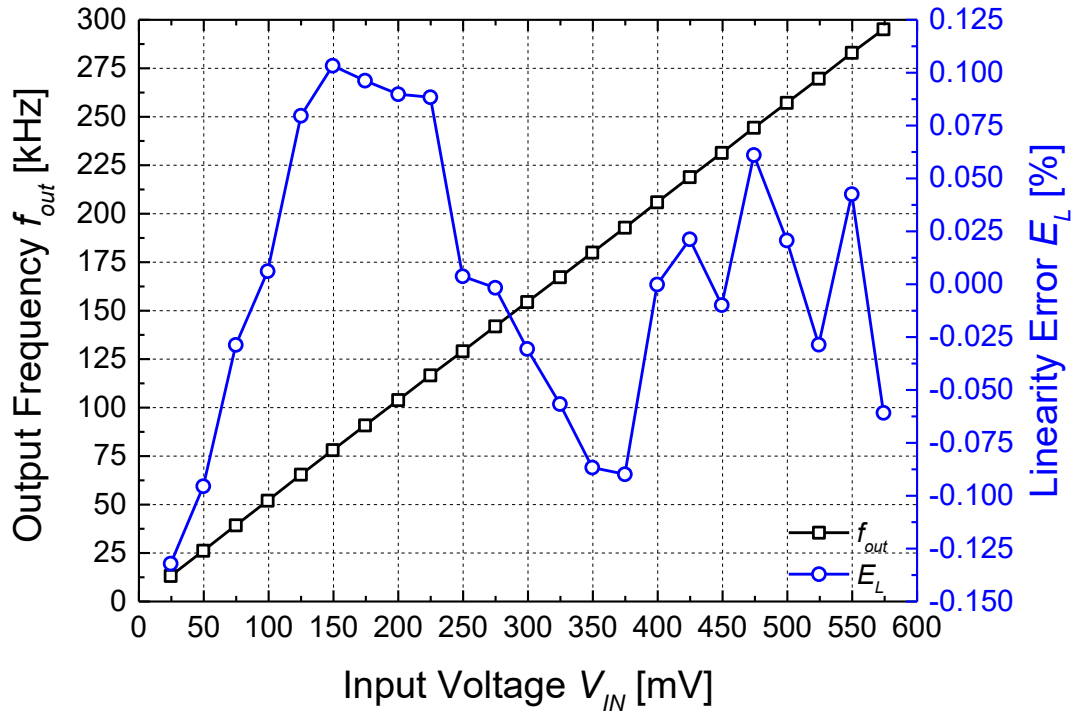
	$T_{mm} = 1.84 \mu s (R_3 = 620 \Omega)$		$T_{mm} = 3.56 \mu s (R_3 = 1.2 k\Omega)$		$T_{mm} = 7.13 \mu s (R_3 = 2.4 k\Omega)$	
	$V_{IN} = 25 mV$	$V_{IN} = 575 mV$	$V_{IN} = 25 mV$	$V_{IN} = 750 mV$	$V_{IN} = 25 mV$	$V_{IN} = 900 mV$
f_{out}	13.175 kHz	295.13 kHz	6.943 kHz	200.40 kHz	3.504 kHz	114.89 kHz
S	512.6 kHz/V		266.8 kHz/V		127.3 kHz/V	
E_L	- 0.13 % < E_L < 0.1 %		- 0.16 % < E_L < 0.12 %		- 0.26 % < E_L < 0.14 %	

Tabela II. Vrijednosti frekvencije izlaznog signala f_{out} u funkciji ulaznog napona V_{IN} izračunate prema relaciji (3.39) i osjetljivosti S izračunate prema relaciji (3.40)

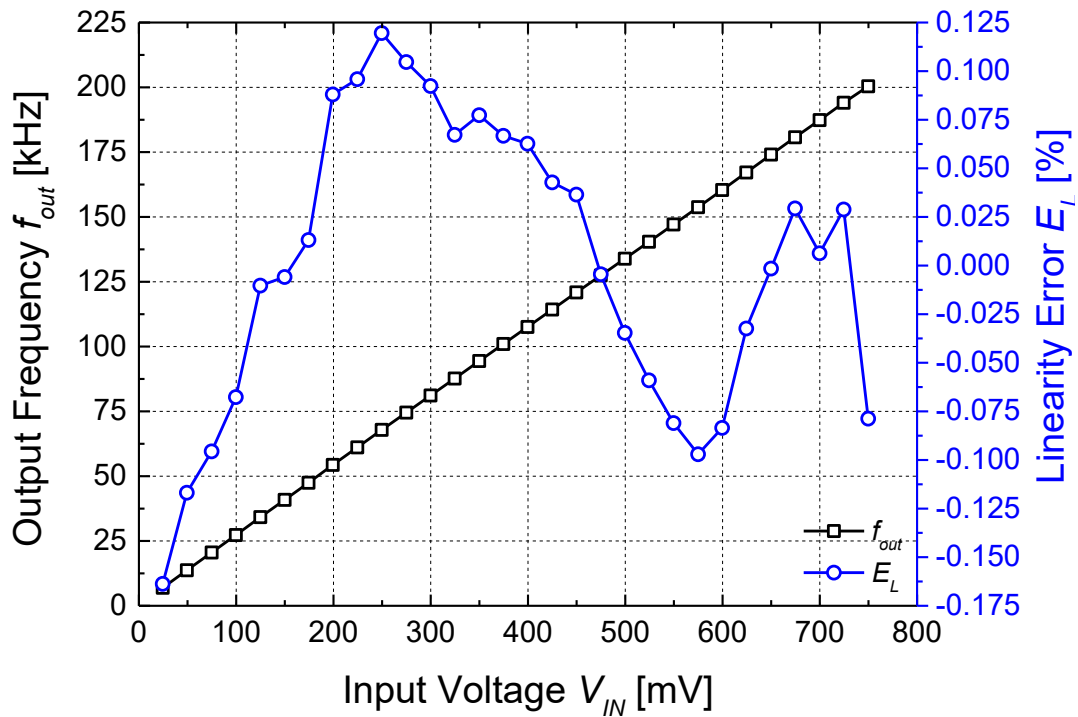
	$T_{mm} = 1.84 \mu s (R_3 = 620 \Omega)$		$T_{mm} = 3.56 \mu s (R_3 = 1.2 k\Omega)$		$T_{mm} = 7.13 \mu s (R_3 = 2.4 k\Omega)$	
	$V_{IN} = 25 mV$	$V_{IN} = 575 mV$	$V_{IN} = 25 mV$	$V_{IN} = 750 mV$	$V_{IN} = 25 mV$	$V_{IN} = 900 mV$
f_{out} (3.39)	13.577 kHz	312.27 kHz	7.015 kHz	210.44 kHz	3.507 kHz	126.26 kHz
S (3.40)	543.07 kHz/V		280.58 kHz/V		140.29 kHz/V	

komparatora CMP_1 nalazi se konstantan napon $V_{REF2} = V_{DD}/2$, dok se na njegovom “-“ ulaznom priključku nalazi napon V_{c1} na integracionom kondenzatoru C_1 . Sa završetkom stabilnog stanja monostabilnog multivibratora MM, naponski komparator CMP_1 mijenja svoje stanje na izlazu od $V_{cmp1} = 0$ do $V_{cmp1} = V_{DD}$, čime započinje kvazistabilno stanje monostabilnog multivibratora MM, relacija (3.35). Uvidom u relaciju (3.35) dolazi se do zaključka da će se sa porastom ulaznog napona V_{IN} smanjivati nagib napona V_{c1} na integracionom kondenzatoru C_1 . Samim tim, sa porastom ulaznog napona V_{IN} povećava se kašnjenje promjene stanja na izlazu komparatora CMP_1 sa $V_{cmp1} = V_{DD}$ na $V_{cmp1} = 0$. Kada sa dovoljno velikim ulaznim naponom V_{IN} kašnjenje promjene stanja na izlazu komparatora CMP_1 sa $V_{cmp1} = V_{DD}$ na $V_{cmp1} = 0$ postane jednako trajanju kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM, predloženo rješenje visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja ulazi u neregularni režim rada. Dakle, naponski opseg ulaznog napona V_{IN} ograničen je kašnjenjem promjene stanja na izlazu komparatora CMP_1 sa $V_{cmp1} = V_{DD}$ na $V_{cmp1} = 0$. Ovo je razlog zbog kojeg povećanje vremena trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM omogućava povećanje opsega ulaznog napona V_{IN} .

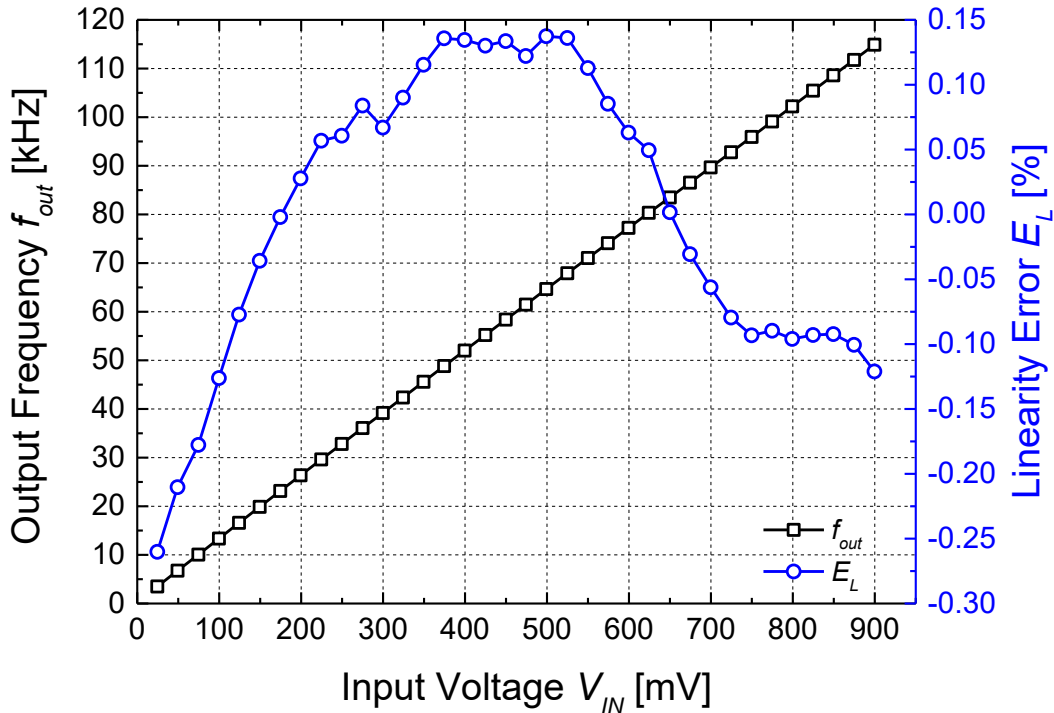
Sumarni rezultati mjerenja zavisnosti frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} dat je u Tabeli I. Sa druge strane, vrijednosti frekvencije izlaznog signala f_{out} u funkciji ulaznog napona V_{IN} izračunate prema relaciji (3.39) i osjetljivosti S izračunate prema relaciji (3.40) date su u Tabeli II. Poređenjem izmjerenih rezultata i rezultata dobijenih na osnovu matematičkih modela dolazi se do zaključka da su izmjerene vrijednosti minimalnih i maksimalnih frekvencija f_{out} izlaznog signala, kao i izmjerene vrijednosti osjetljivosti S za sve tri vrijednosti trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM nešto manje od predviđanja koja daju matematički modeli. Ovo se može objasniti uticajem sistematske greške koju unosi ulazna kapacitivnost frekvencometra Rigol DG4102, kao i greškom uzrokovanom kašnjenjem komparatora CMP_1 , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S_1 . Sa druge strane, primjetno je da sve tri karakteristike zavisnosti greške linearnosti E_L od ulaznog napona V_{IN} prikazane na slikama 5.1 – 5.3 imaju isti oblik, sa neznatnim uvećanjem vrijednosti sa porastom trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM. Ovo je posljedica matematičkog modela greške linearnosti E_L iskazanog relacijom (5.1). Naime, svi izvori



Slika 5.1. Izmjerena zavisnost frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L , za opseg ulaznog napona V_{IN} od 25 mV do 575 mV sa korakom od $\Delta V_{IN} = 25$ mV i trajanjem kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu s$ ($R_3 = 620 \Omega$).



Slika 5.2. Izmjerena zavisnost frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L , za opseg ulaznog napona V_{IN} od 25 mV do 750 mV sa korakom od $\Delta V_{IN} = 25$ mV i trajanjem kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56 \mu s$ ($R_3 = 1.2 \text{ k}\Omega$).



Slika 5.3. Izmjerena zavisnost frekvencije izlaznog signala f_{out} od ulaznog napona V_{IN} sa greškom linearnosti E_L , za opseg ulaznog napona V_{IN} od 25 mV do 900 mV sa korakom od $\Delta V_{IN} = 25$ mV i trajanjem kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \mu\text{s}$ ($R_3 = 2.4 \text{ k}\Omega$).

sistematskih grešaka koji su prisutni u kolu visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja isti su za bilo koje trajanje kvazistabilnog stanja T_{mm} monostabilnog multivibratora, ali je vrijednost maksimalne frekvencije f_{outmax} različita za različita trajanja kvazistabilnog stanja T_{mm} . Kako vrijednost maksimalne frekvencije f_{outmax} opada sa porastom trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM, jasno je da dolazi do povećanja intenziteta greške linearnosti E_L sa porastom opsega ulaznog napona V_{IN} . Najveći uticaj na grešku linearnosti E_L za male ulazne napone V_{IN} ($V_{IN} < 100$ mV, slika 5.1; $V_{IN} < 150$ mV, slika 5.2; $V_{IN} < 200$ mV, slika 5.3) ima naponski ofset operacionog pojačavača OA_2 u sklopu strujnog izvora sa strujom direktno proporcionalnom ulaznom napnu V_{IN} . U ovim opsezima ulaznog napona V_{IN} ($V_{IN} < 100$ mV, slika 5.1; $V_{IN} < 150$ mV, slika 5.2; $V_{IN} < 200$ mV, slika 5.3) apsolutna vrijednost grešaka linearnosti E_L prikazanih na slikama 5.1 – 5.3 povećava se sa smanjenjem ulaznog napona V_{IN} , čime je potvrđena relacija (3.66). Za dovoljno velike ulazne napone V_{IN} dominiraju greške usljed vremena kašnjenja komparatora CMP_1 , monostabilnog multivibratora MM i bilateralnog CMOS prekidača S_1 , i usljed parazitne kapacitivnosti u drejnu MOSFET-a M_1 i djelimičnog preklapanja neinvertovanog i invertovanog signala na izlazu D flip-flopa. Greška usljed parazitne kapacitivnosti u drejnu MOSFET-a M_1 i djelimičnog preklapanja neinvertovanog i invertovanog signala na izlazu D flip-flopa može se eliminisati kalibracijom, podešavanjem vrijednosti otpornosti R_4 u skladu sa matematičkim modelom (3.103).

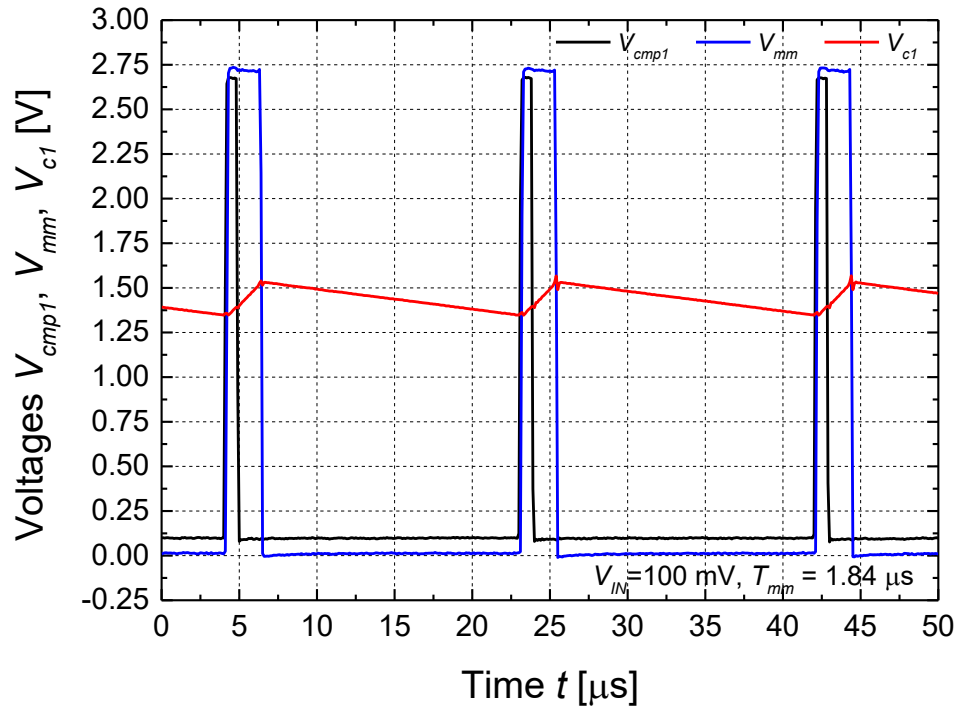
Konačno, izlazni frekvencijski offset u prosjeku iznosi $f_{out}(V_{IN} = 0) \approx 1$ kHz. Preciznije, frekvencijski ofset $f_{out}(V_{IN} = 0)$ nešto je veći od navedene vrijednosti za $T_{mm} = 1.84 \mu\text{s}$, dok je nešto manji za $T_{mm} = 7.13 \mu\text{s}$.

5.2 Rezultati mjerenja vremenskog odziva

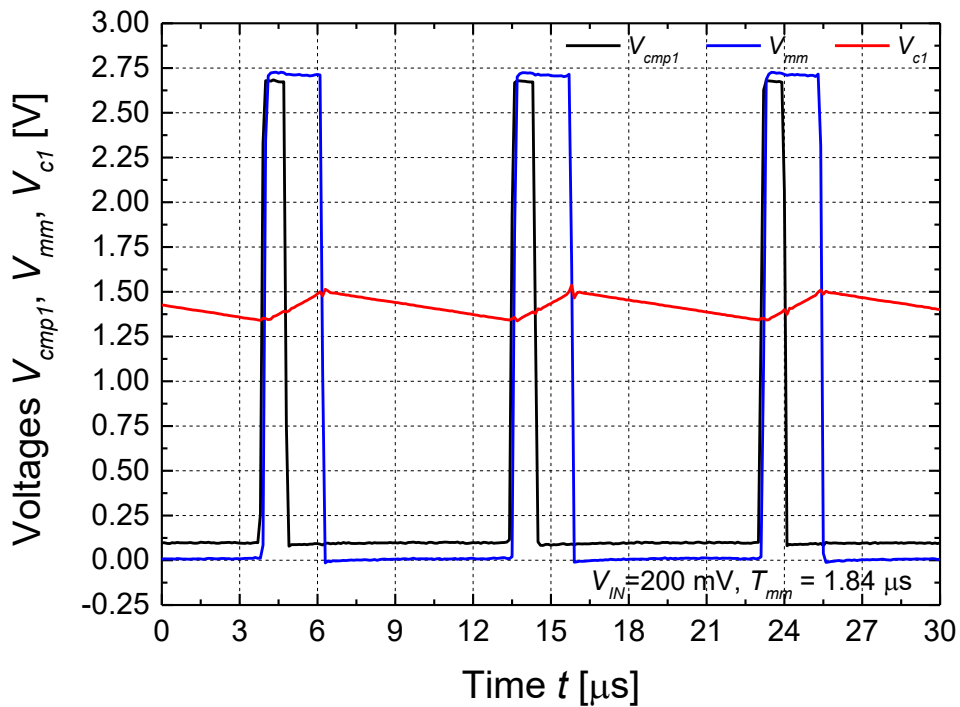
Na prototipu predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja realizovanim u diskretnoj tehnici obavljena su mjerenja vremenskog odziva napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za različite vrijednosti ulaznog napona V_{IN} i trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM.

Vremenski odzivi napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} \in \{100 \text{ mV}, 200 \text{ mV}, 300 \text{ mV}, 400 \text{ mV}\}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu\text{s}$ ($R_3 = 620 \Omega$) prikazani su na slikama 5.4 -5.7. Vremenski odzivi napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} \in \{100 \text{ mV}, 300 \text{ mV}, 500 \text{ mV}, 700 \text{ mV}\}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56 \mu\text{s}$ ($R_3 = 1.2 \text{ k}\Omega$) prikazani su na slikama 5.8 -5.11. Vremenski odzivi napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} \in \{200 \text{ mV}, 400 \text{ mV}, 600 \text{ mV}, 800 \text{ mV}\}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \mu\text{s}$ ($R_3 = 2.4 \text{ k}\Omega$) prikazani su na slikama 5.12 -5.15.

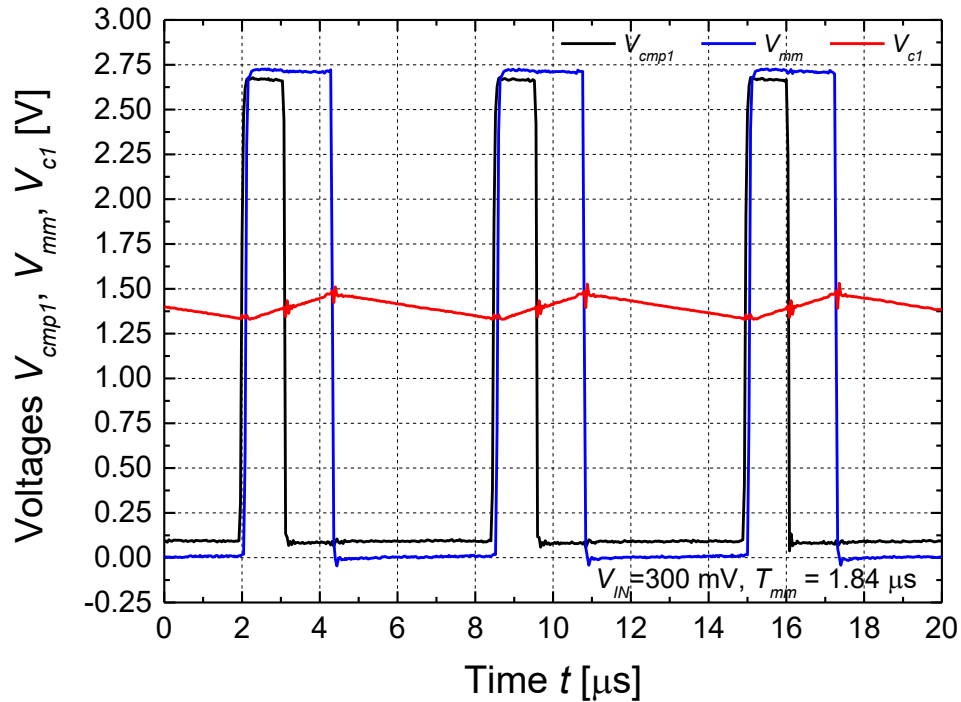
Zbog nesavršenosti sonde (ulazna kapacitivnost 12 pF, ulazna otpornost 10 M Ω) osciloskopa *Teledyne LeCroy WaveJet Touch 334* koji je korišćen za registrovanje talasnih oblika napona u karaktersitičnim tačkama prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja, javljaju se dodatni izvori sistematskih grešaka. I pored toga, pokazuje se da su vremenski odzivi napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za različite vrijednosti ulaznog napona V_{IN} i trajanja kvazistabilnog stanja T_{mm} monostabilnog multivibratora MM, u skladu sa matematičkim relacijama koje modeluju rad predloženog konvertora napona u frekvenciju. Posebno je značajno naglasiti da je putem mjerenja vremenskog odziva potvrđeno da se vrijeme potrebno da se izlazni napon komparatora CMP_1 vrati u stanje koje diktira kvazistabilno stanje monostabilnog multivibratora MM povećava sa povećanjem ulaznog napona V_{IN} . Na ovaj način se pokazuje da je najkritičnija komponenta sa aspekta performansi predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja upravo naponski komparator.



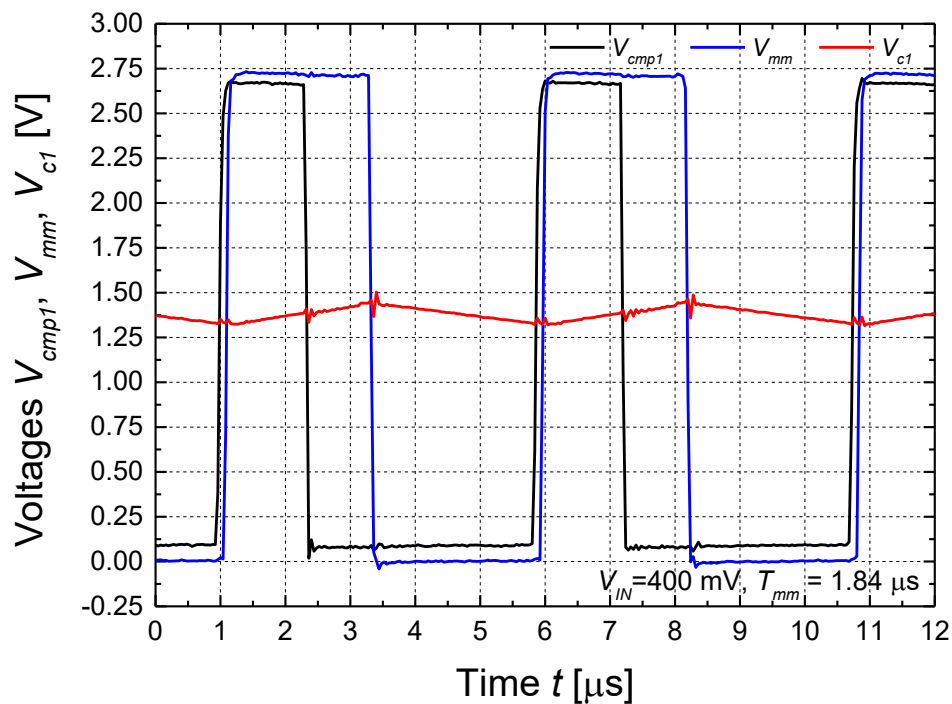
Slika 5.4. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 100 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu\text{s}$ ($R_3 = 620 \Omega$).



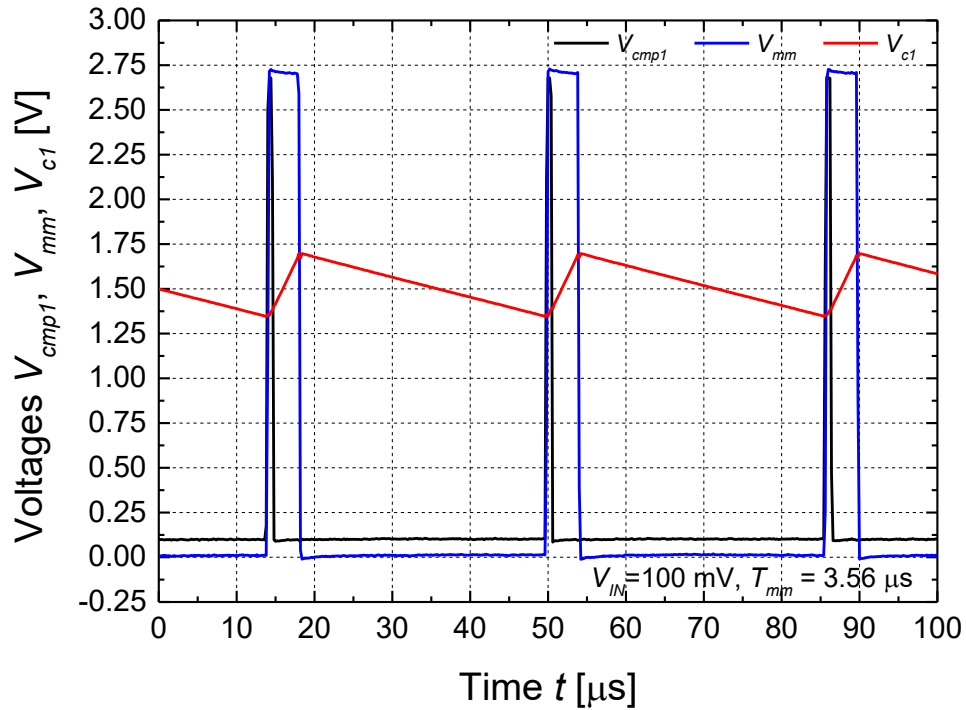
Slika 5.5. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 200 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu\text{s}$ ($R_3 = 620 \Omega$).



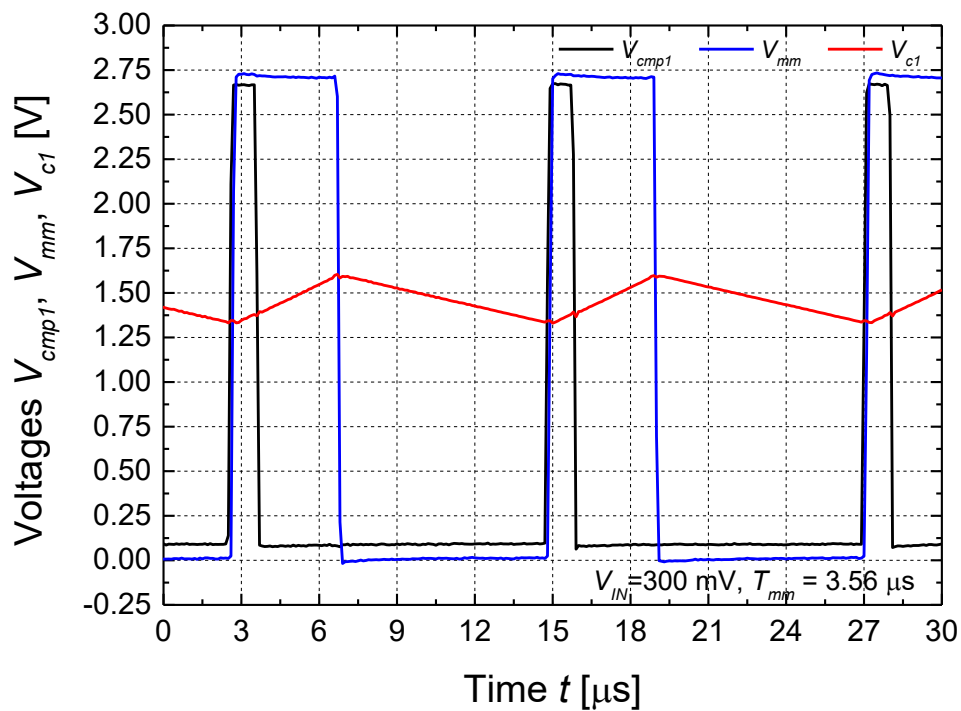
Slika 5.6. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 300 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu\text{s}$ ($R_3 = 620 \Omega$).



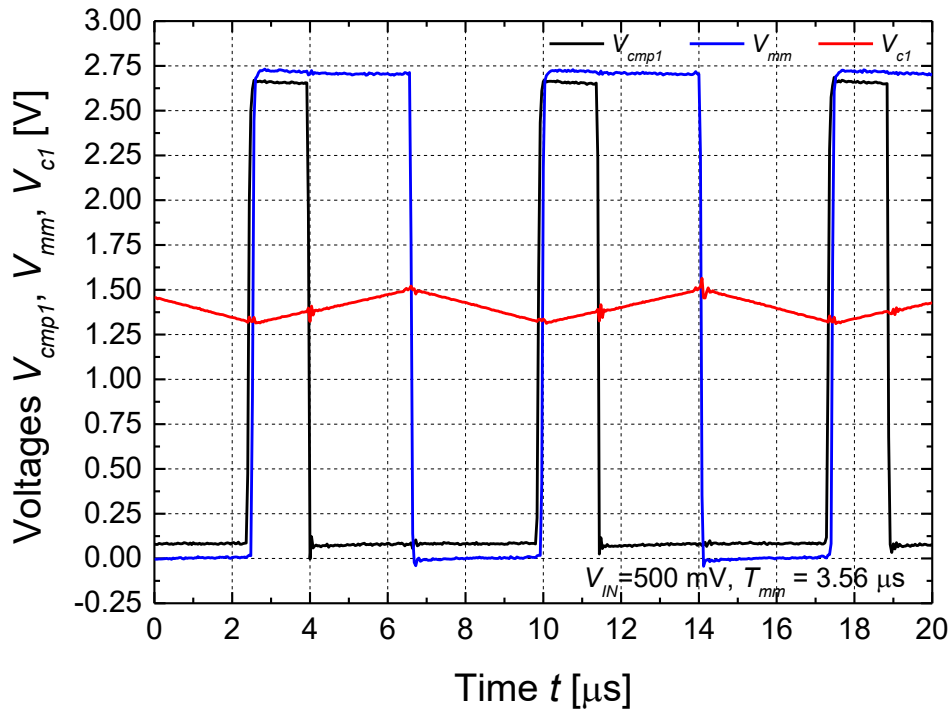
Slika 5.7. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 400 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84 \mu\text{s}$ ($R_3 = 620 \Omega$).



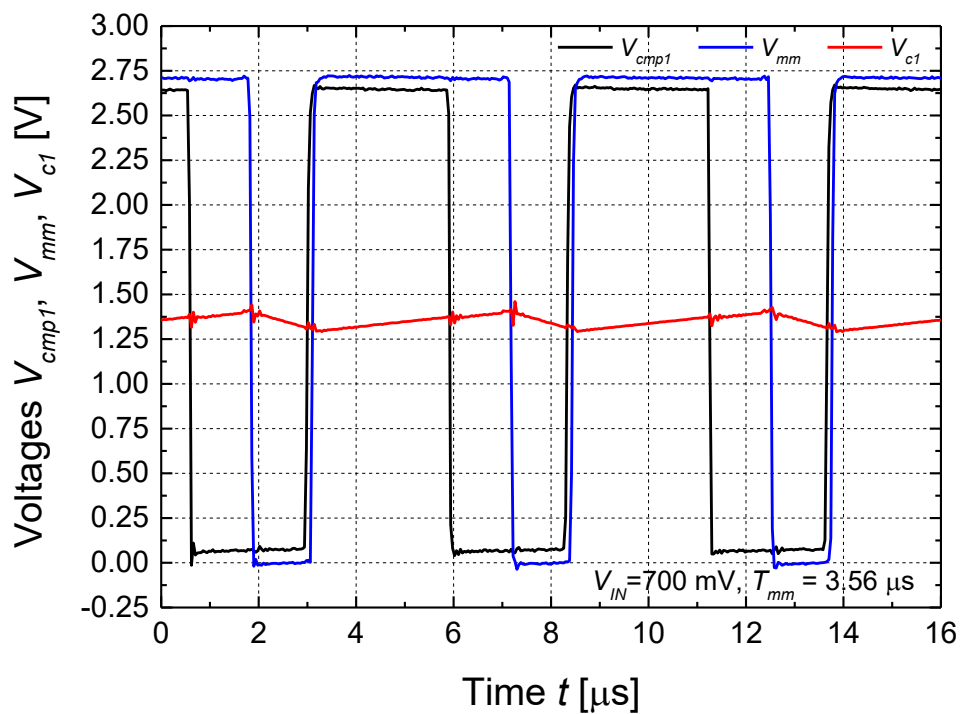
Slika 5.8. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 100$ mV i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56$ μ s ($R_3 = 1.2$ k Ω).



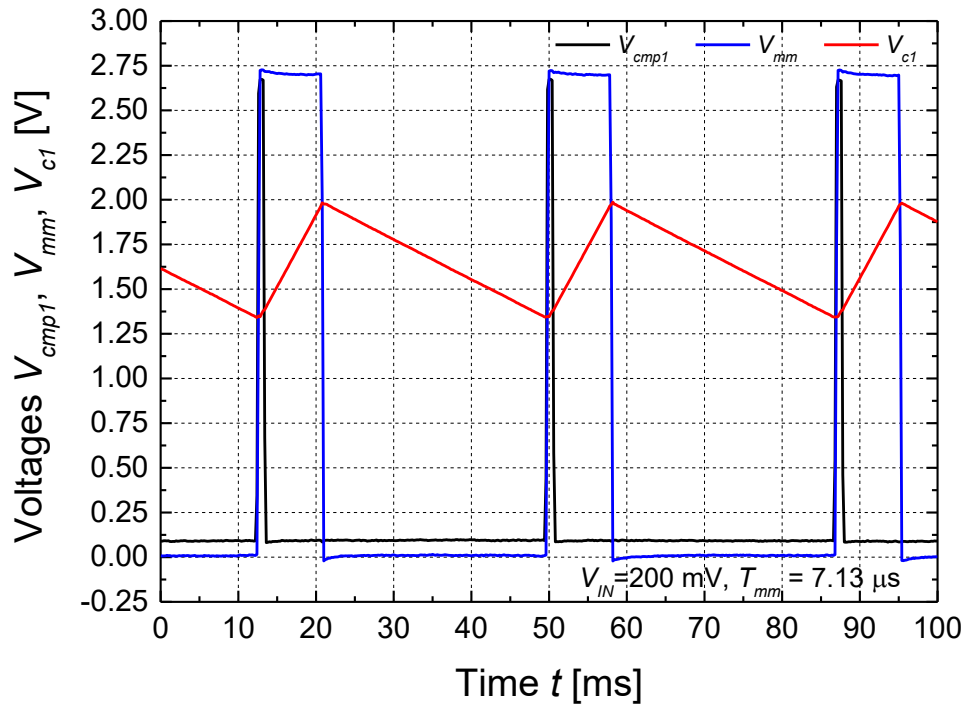
Slika 5.9. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 300$ mV i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56$ μ s ($R_3 = 1.2$ k Ω).



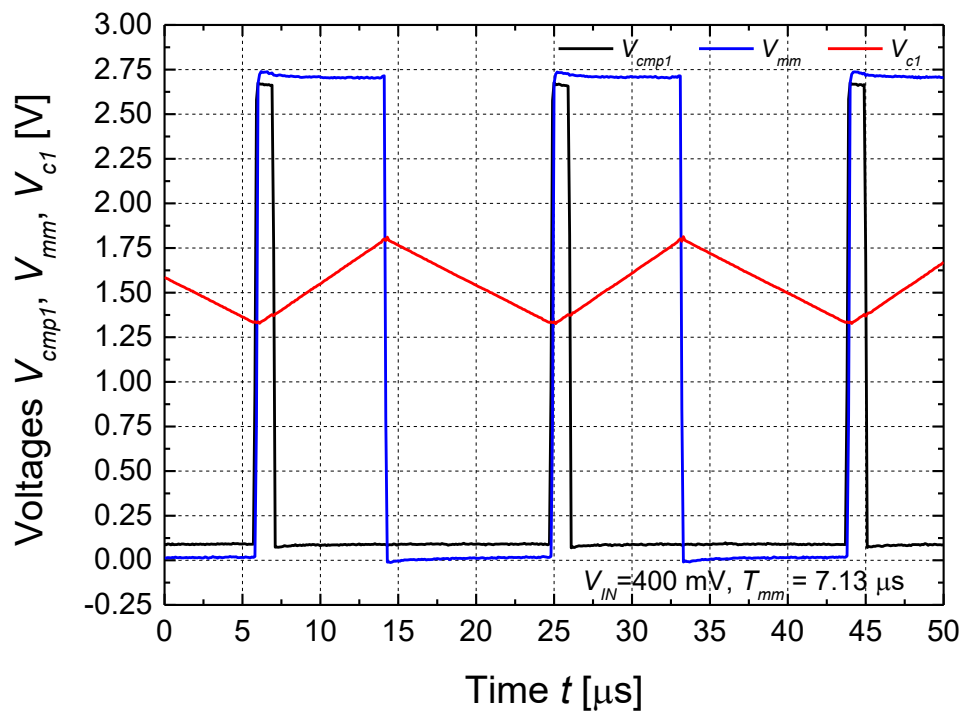
Slika 5.10. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 500$ mV i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56$ μ s ($R_3 = 1.2$ k Ω).



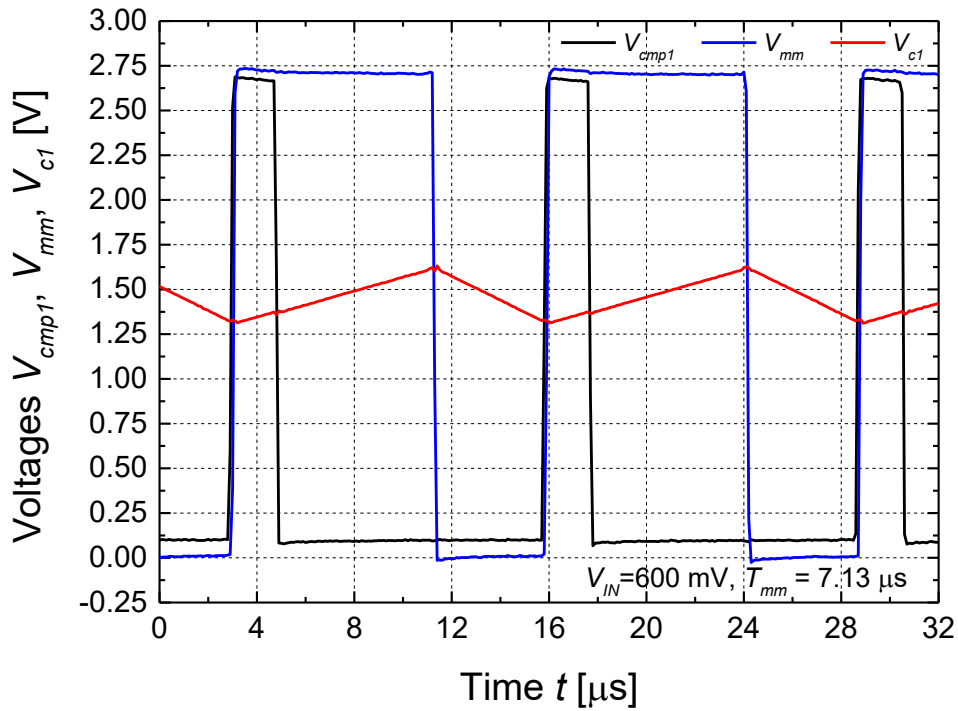
Slika 5.11. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 700$ mV i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56$ μ s ($R_3 = 1.2$ k Ω).



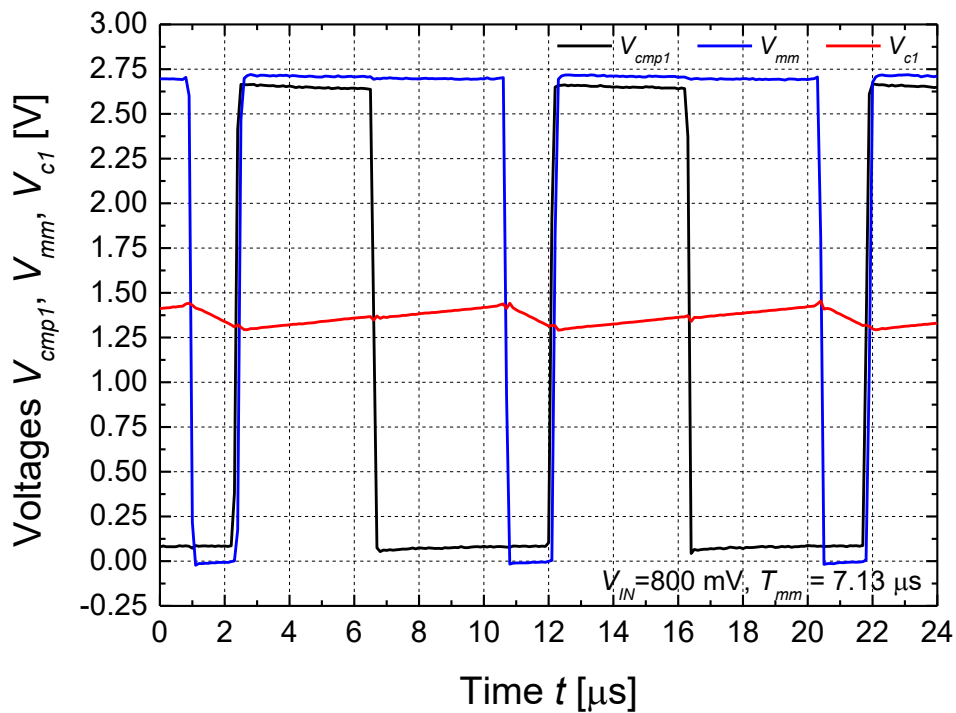
Slika 5.12. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 200 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \text{ } \mu\text{s}$ ($R_3 = 2.4 \text{ k}\Omega$).



Slika 5.13. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 400 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \text{ } \mu\text{s}$ ($R_3 = 2.4 \text{ k}\Omega$).



Slika 5.14. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 600 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \mu\text{s}$ ($R_3 = 2.4 \text{ k}\Omega$).



Slika 5.15. Vremenski odziv napona na izlazu komparatora V_{cmp1} , na izlazu monostabilnog multivibratora V_{mm} i na integracionom kondenzatoru V_{c1} , za ulazni napon $V_{IN} = 800 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \mu\text{s}$ ($R_3 = 2.4 \text{ k}\Omega$).

5.3 Uporedna analiza

Poređenje izmjerenih performansi predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa performansama konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja kompanije *Analog Devices* dato je u Tabeli III. Kompanija *Analog Devices* predstavlja vodeću kompaniju u svijetu u oblasti projektovanja i proizvodnje konvertora napona u frekvenciju. Pošto je predloženo rješenje konvertora napona u frekvenciju realizovano u diskretnoj tehnici, poređenje sa postojećim rješenjima kompanije *Analog Devices* ili neke druge visoko-tehnološke kompanije koja se bavi projektovanjem i proizvodnjom konvertora napona u frekvenciju ne može biti urađeno na zadovoljavajući način. Ovo je posljedica činjenice da implementacije u integrisanim tehnologijama imaju mnogo bolje performanse od implementacija u diskretnoj tehnici. Čak i u takvim okolnostima moguće je uočiti određene prednosti predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

Poređenje predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja obavljeno je kako sa sinhronim tako i sa asinhronim konvertorima napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Sinhroni konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja složenijeg su dizajna od analiziranih postojećih rješenja konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja (poglavlje 2.2), kao i od predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja, a koji spadaju u kategoriju asinhronih. Sinhroni konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja zahtijevaju i dodatni spoljašnji takt impuls, za razliku od asinhronih. Složeniji dizajn sinhronih konvertora napona u frekvenciju rezultira manjom greškom linearnosti u odnosu na asinhrona rješenja.

Predloženi visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja ima manji napon napajanja od sinhronih [25], [26], [27], odnosno, asinhronog [28] konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja najmanje 4.4 puta, 1.1 put, 1.9 puta, i najmanje 1.9 puta, redom, i pored toga što su rješenja [25], [26], [27] i [28] realizovana u integrisanim tehnologijama. U odsustvu izvora sistematskih grešaka, u skladu sa relacijom (3.39) predloženo rješenje visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja ima nultu izlaznu frekvenciju pri nultom ulaznom naponu. Sa druge strane, sinhroni konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja [26] i [27] imaju sistematski ugrađen frekvencijski ofset, tj. pri nultom ulaznom naponu imaju izlaznu frekvenciju koja je jednaka $0.1f_{clk}$ ($0.05f_{clk}$), gdje je f_{clk} frekvencija spoljašnjeg takt impulsa. Zbog realizacije u integrisanoj tehnologiji, sinhroni konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja [25], [26] i [27] imaju veću maksimalnu frekvenciju izlaznog signala od maksimalne frekvencije izlaznog signala predloženog rješenja 6.4 puta, 2.9 puta, i 4.3 puta, redom. Sa druge strane, predloženo rješenje visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja ima veću maksimalnu frekvenciju izlaznog signala 3.1 put od maksimalne frekvencije izlaznog signala dizajna [28], koji takođe spada u kategoriju asinhronih konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja kao i predloženo rješenje. Izmjerena najveća osjetljivost $S = 512.6 \text{ kHz/V}$ predloženog rješenja veća je 2.6 puta, najmanje 1.4 puta, i 5.1 put od osjetljivosti ostvarenih kod

Tabela III. Poređenje izmjerenih performansi predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja sa performansama konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja kompanije Analog Devices

tip	sinhroni			asinhroni			
	AD652 [25]	AD7740 [26]	AD7741 [27]	AD537S [28]	Predloženo rješenje		
oznaka					$T_{mm} = 1.84 \mu s$	$T_{mm} = 3.56 \mu s$	$T_{mm} = 7.13 \mu s$
tehnologija	integrisana	integrisana	integrisana	integrisana	diskretna	diskretna	diskretna
spoljašnji takt	da	da	da	ne	ne	ne	ne
napon napajanja	> 12 V	3 V ili 5 V	5 V	> 5 V	2.7 V	2.7 V	2.7 V
minimalna izlazna frekvencija	?	$0.1f_{clk}$ (0.1 MHz @ $f_{clk} = 1$ MHz)	$0.05f_{clk}$ (0.15 MHz @ $f_{clk} = 3$ MHz)	0	0*	0*	0*
maksimalna izlazna frekvencija	2 MHz	$0.9f_{clk}$ (0.9 MHz @ $f_{clk} = 1$ MHz)	$0.45f_{clk}$ (1.35 MHz @ $f_{clk} = 3$ MHz)	100 kHz	312.27 kHz	200.40 kHz	114.89 kHz
izlazni frek. ofset	?	da	da	ne	ne*	ne*	ne*
osjetljivost	200 kHz/V	< 360 kHz/V	< 540 kHz/V	< 100 kHz/V	512.6 kHz/V	266.8 kHz/V	127.3 kHz/V
greška linearnosti	0.02 % @ $f_{out} = 2$ MHz	0.012 % @ $f_{out} = 0.9$ MHz	0.012 % @ $f_{out} = 1.35$ MHz	0.05 % @ $f_{out} = 100$ kHz	- 0.13 % < E_L < 0.1 %	- 0.16 % < E_L < 0.12 %	- 0.26 % < E_L < 0.14 %

f_{clk} je frekvencija spoljašnjeg takt impulse kod sinhronih konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja,

* - u idealnom slučaju, bez prisustva izvora sistematskih grešaka, u skladu sa relacijom (3.39).

rješenja [25], [26] i [28], redom, a približno je na istom nivou kao i kod rješenja [27]. Konačno, greška linearnosti predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja najmanje je 2 puta veća od grešaka linearnosti rješenja [25], [26], [27] i [28]. Ovo je posljedica činjenice da su rješenja [25], [26], [27] i [28] realizovana u integrisanim tehnologijama, za razliku od predloženog rješenja čiji je prototip realizovan u diskretnoj tehnici. Dizajn predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja je takav da se može jednostavno implementirati u nekoj od standardnih poluprovodničkih integrisanih tehnologija. U tom slučaju mogu se očekivati značajno bolje performanse od onih koje su dobijene eksperimentalnom valorizacijom prototipa realizovanog u diskretnoj tehnici.

6. Zaključak

U ovom master radu predstavljen je visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Ovaj konvertor napona u frekvenciju namijenjen je primjenama koje zahtijevaju digitalizaciju analognih veličina, posebno u onim radnim okruženjima u kojima je izražen šum, interferencija ili neki drugi specifičan oblik industrijskih smetnji. Mogu se efikasno primjenjivati i u sistemima u kojima postoji velika fizička distanca između mjesta gdje se vrši digitalizacija i mjesta prijema podataka.

Princip rada predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja bazira se na integratoru sa strujnim procesiranjem. Ovaj integrator izbjegava upotrebu operacionog pojačavača, čime se značajno povećava osjetljivost frekvencije izlaznog signala u odnosu na promjene ulaznog napona. Ovo je ključna razlika predloženog rješenja u odnosu na postojeće konvertore napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Osim integratora sa strujnim procesiranjem, predloženi dizajn podrazumijeva korišćenje naponskog komparatora i monostabilnog multivibratora, kao i svi postojeći konvertori napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Matematički modeli pokazuju da ne postoje dodatni izvori grešaka u predloženom dizajnu u odnosu na postojeće konvertore napona u frekvenciju sa uravnoteženom količinom naelektrisanja.

Dat je pregled postojećih rješenja multivibratorskih konvertora napona u frekvenciju i konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Detaljno je objašnjen princip rada predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja, sa preciznim matematičkim modelima. Posebno je posvećena pažnja analizi grešaka uzrokovanih nesavršenostima pojedinih gradivnih elemenata koji se koriste u realizaciji predloženog dizajna.

Prototip predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja realizovan je u diskretnoj tehnici korišćenjem diskretnih aktivnih i pasivnih elektronskih komponenti postavljenih na štampanu ploču i povezanih odgovarajućim metalizacijama i *junper*-ima. Eksperimentalna valorizacija obavljena je korišćenjem jednostavnog *measurement set-up*-a koji podrazumijeva mjerenje ulaznog DC napona koji se mijenja u identičnim koracima unutar odgovarajućeg opsega ulaznog napona uz istovremeno mjerenje frekvencije izlaznog signala. Ovaj tip mjerenja ponovljen je za više vrijednosti trajanja kvazistabilnog stanja monostabilnog multivibratora.

Izmjereni rezultati obavljeni pri naponu napajanja $V_{DD} = 2.7$ V pokazuju sljedeće performanse predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja:

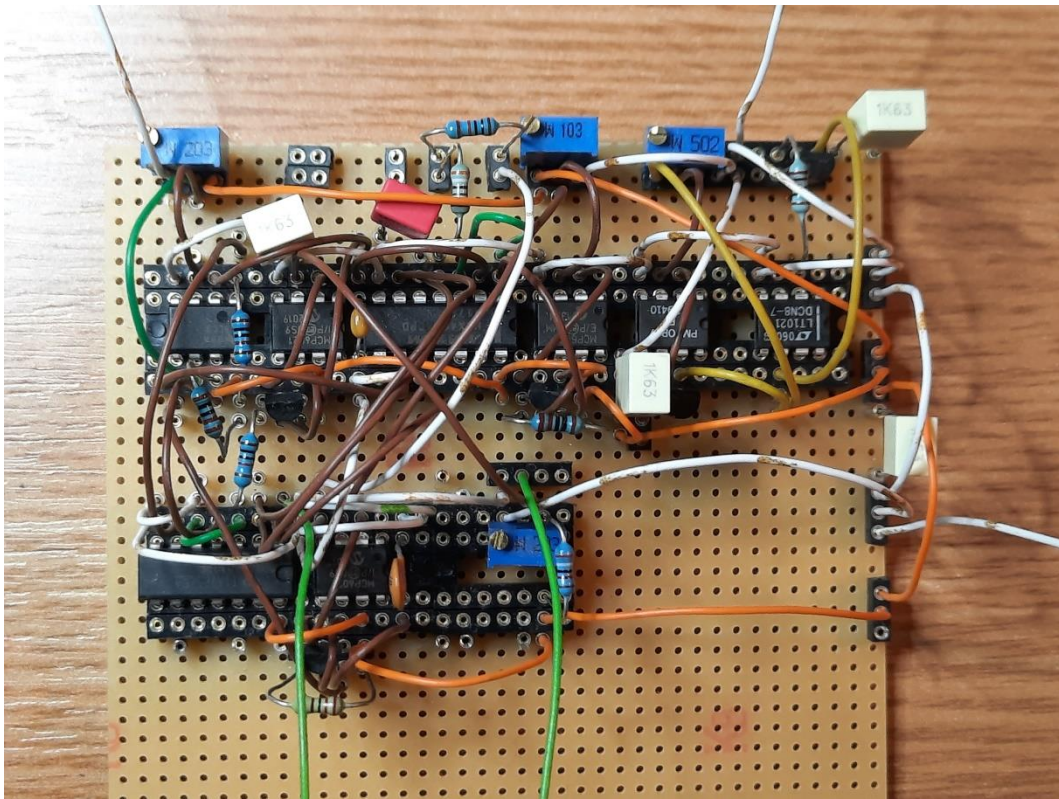
- Osjetljivost $S = 512.6$ kHz/V i greška linearnosti - $0.13\% < E_L < 0.1\%$ za ulazni napon 25 mV $< V_{IN} < 575$ mV i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 1.84$ μ s,
- Osjetljivost $S = 266.8$ kHz/V i greška linearnosti - $0.16\% < E_L < 0.12\%$ za ulazni napon 25 mV $< V_{IN} < 750$ mV i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 3.56$ μ s,

- Osjetljivost $S = 127.3 \text{ kHz/V}$ i greška linearnosti - $0.26 \% < E_L < 0.14 \%$ za ulazni napon $25 \text{ mV} < V_{IN} < 900 \text{ mV}$ i trajanje kvazistabilnog stanja monostabilnog multivibratora $T_{mm} = 7.13 \mu\text{s}$

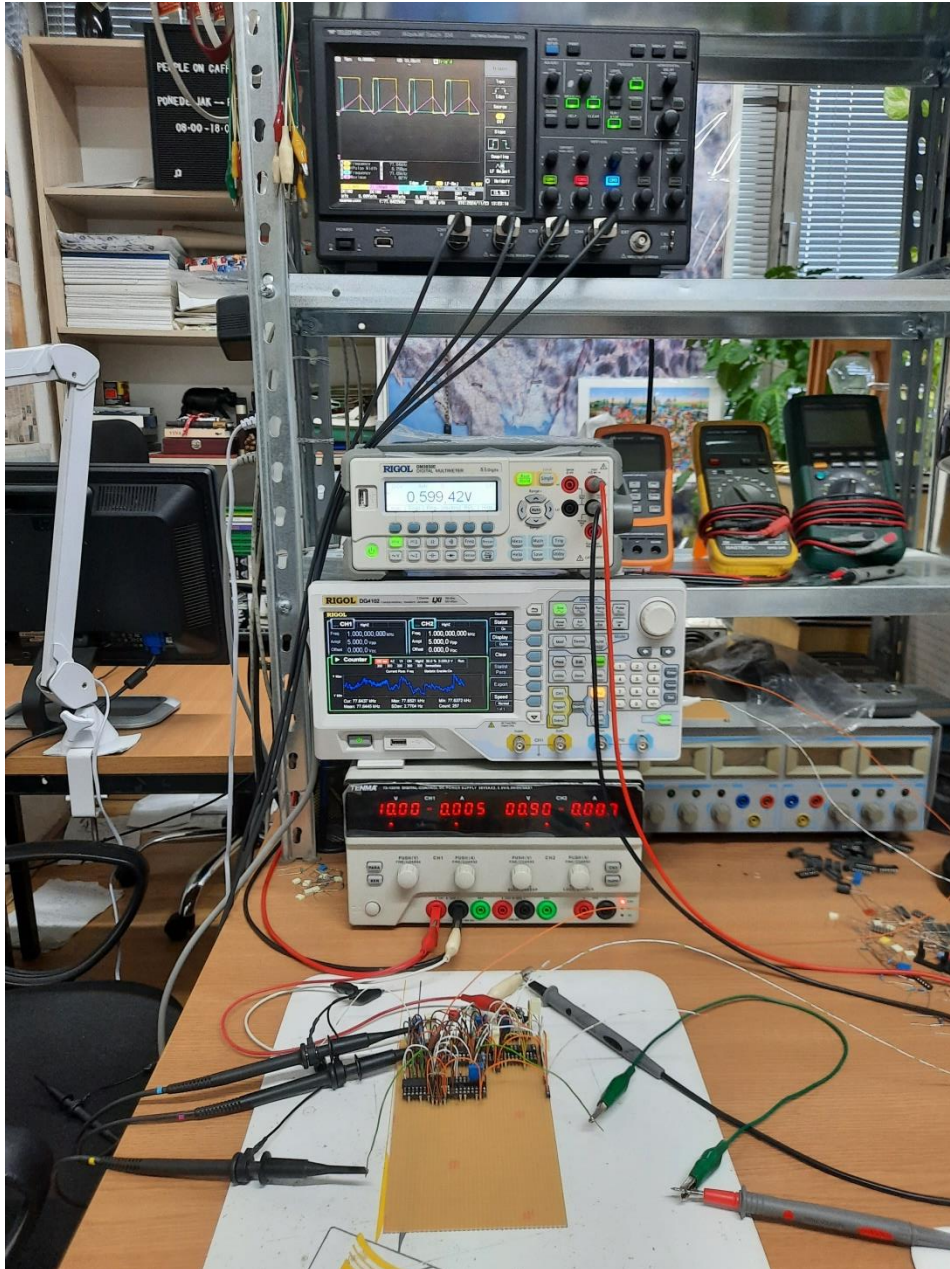
Navedene performanse bazirane na eksperimentalno valorizovanim rezultatima potvrđuju da se predloženi dizajn visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja u potpunosti ponaša u skladu sa matematičkim modelima. Pokazano je da je opseg ulaznog napona ograničen vremenom kašnjenja naponskog komparatora, a ne zasićenjem nekog od gradivnih elemenata koji ulaze u sastav predloženog visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja. Vrijeme potrebno da se naponski komparator vrati u stanje koje diktira kvazistabilno stanje monostabilnog multivibratora povećava se sa povećanjem ulaznog napona. Na ovaj način, pri dovoljno velikom ulaznom naponu vrijeme kašnjenja naponskog komparatora postaje uporedivo sa trajanjem kvazistabilnog stanja monostabilnog multivibratora. Posljedično, maksimalna vrijednost ulaznog napona odgovara onoj vrijednosti vremena kašnjenja naponskog komparatora koja je jednaka trajanju kvazi-stabilnog stanja mono-stabilnog multivibratora.

Takođe, postignuti rezultati potvrđuju da predloženo rješenje posjeduje performanse koje se mogu porediti ne samo sa rješenjima dostupnim u otvorenoj literaturi, nego i sa industrijskim standardima koji su nametnuti od strane vodećih svjetskih kompanija u oblasti projektovanja i proizvodnje konvertora napona u frekvenciju. Posebno treba naglasiti malu vrijednost napona napajanja prototipa u diskretnoj tehnici predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja koja je manja čak i od napona napajanja industrijskih standarda koji su realizovani u integrisanim tehnologijama. Dizajn predloženog rješenja visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja je takav da se može jednostavno implementirati u nekoj od standardnih poluprovodničkih integrisanih tehnologija. U tom slučaju mogu se očekivati značajno bolje performanse od onih koje su dobijene eksperimentalnom valorizacijom prototipa realizovanog u diskretnoj tehnici.

7. Dodatak - fotografije prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja



Slika 7.1. Fotografija prototipa visoko osjetljivog konvertora napona u frekvenciju sa uravnoteženom količinom naelektrisanja realizovanog u diskretnoj tehnici korišćenjem diskretnih aktivnih i pasivnih elektronskih komponenti postavljenih na štampanu ploču i povezanih odgovarajućim metalizacijama i *jumper*-ima.



Slika 7.2. Fotografija measurement set-up-a.

Literatura

- [1] J. Bryant, "Ask the applications engineer - 3 (V/F converters)", *AN-361 Application Note*, Analog Devices, 1989.
- [2] W. Kester and J. Bryant, "Voltage-to-frequency converters", *MT-28 Tutorial*, Analog Devices, 2009.
- [3] C. C. Wang, T. J. Lee, C. C. Li, and R. Hu, "An all-MOS high-linearity voltage-to-frequency converter chip with 520-kHz/V sensitivity," *IEEE Transactions on Circuits and Systems, part II: Express Briefs*, vol. 53, no. 8, pp. 744-747, Aug. 2006.
- [4] C. Azcona, B. Calvo, N. Medrano, A. Bayo, and S. Celma, "12-b enhanced input range on-chip quasi-digital converter with temperature compensation," *IEEE Transactions on Circuits and Systems, part II: Express Briefs*, vol. 58, no. 3, pp. 164-168, March 2011.
- [5] C. Azcona, B. Calvo, S. Celma, N. Medrano, and P. A. Martínez, "Ratiometric Voltage-to-Frequency Converter for Long-Life Autonomous Portable Equipment," *IEEE Sensors Journal*, vol. 13, no. 6, pp. 2382-2390, June 2013.
- [6] Cristina Azcona Murillo, Belen Calvo Lopez, and Santiago Celma Pueyo, *Voltage-to-Frequency Converters. CMOS Design and Implementation*. New York, NY, USA: Springer, 2013.
- [7] B. R. Gregoire, K. U.-K. Moon, "Process-independent resistor temperature-coefficients using series/parallel and parallel/series composite resistors," in *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 2826–2829, May 2007.
- [8] Y.-H. Chiang and S.-I. Liu, "A Submicrowatt 1.1-MHz CMOS relaxation oscillator with temperature compensation," *IEEE Transactions on Circuits and Systems, part II: Express Briefs*, vol. 60, no. 12, pp. 837-841, December 2013.
- [9] N. Tadić, A. Dervić, M. Erceg, and H. Zimmermann, "A 40 uW – 30 mW generated power, 280 Ω – 1.68 k Ω load resistance CMOS controllable constant-power source for thermally-based sensor applications", *Analog Integrated Circuits and Signal Processing*, vol. 106, no. 3, pp. 593-613, March 2021.
- [10] M. R. Valero, S. Celma, B. Calvo, and N. Medrano, "CMOS voltage-to-frequency converter with temperature drift compensation," *IEEE Transactions on Instrumentation and Measurement*, vol. 60, no. 9, pp. 3232-3234, April 2011.
- [11] J. Williams, "Designs for high performance voltage-to-frequency converters," *Application Note 14*, Linear Technology Corporation, March 1986.
- [12] N. Tadić and D. Gobović, "A square-rooting current-to-frequency converter", *IEEE Transactions on Instrumentation and Measurement*, vol. 52, no. 4, pp. 1035-1040, August 2003.
- [13] N. Tadić and D. Gobović, "Smart sensor interfacing circuit using square-rooting current-to-frequency conversion", *International Journal of Electronics*, vol. 94, no. 12, pp. 1075-1098, December 2007.
- [14] F. N. Trofimenkoff, F. Sabouri, J. Qin, and J. W. Haslett, "A square-rooting voltage-to-frequency converter," *IEEE Transactions on Instrumentation and Measurement*, vol. 46, no. 5, pp. 1208–1211, October 1997.
- [15] M. Erceg, A. Marković, and N. Tadić, "A 30 kHz/ \sqrt{V} Sensitivity Square-Rooting Voltage-to-Frequency Converter," *IEEE Transactions on Instrumentation and Measurement*, vol. 73, 2000111, 2024.

- [16] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design*, 2nd ed., New York, NY, USA: Wiley, 2012.
- [17] *LinCMOS Dual Differential Comparator*. Texas Instruments, Dallas, TX, USA. Accessed: Sep. 2022. [Online]. Available: <https://www.ti.com/lit/ds/slcs016a/slcs016a.pdf>
- [18] *Low-Voltage, High Speed, Quad, SPST CMOS Analog Switches*. Maxim Integrated, San Jose, CA, USA. Accessed: Aug. 2022. [Online]. Available: <https://datasheets.maximintegrated.com/en/ds/MAX4614MAX4616.pdf>
- [19] *CD4013B CMOS Dual D-Type Flip-Flop*. Texas Instruments, Dallas, TX, USA. Accessed: Aug. 2022. [Online]. Available: https://www.ti.com/lit/ds/symlink/cd4013b.pdf?ts=1730547028331&ref_url=https%253A%252F%252Fwww.google.com%252F
- [20] LT1021 *Precision Reference*. Analog Devices, Wilmington, MA, USA. Accessed: November 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/1021fc.pdf>
- [21] *BC327PNP general purpose transistor*, NXP, Eindhoven, Netherlands. Accessed: Oct. 2024. [Online]. Available: <https://www.alldatasheet.com/datasheet-pdf/view/16097/PHILIPS/BC327-40.html>
- [22] OP97 Low Power, *High Precision Operational Amplifier*. Analog Devices, Wilmington, MA, USA. Accessed: November 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/OP97.pdf>
- [23] *BC337NPN general purpose transistor*, NXP, Eindhoven, Netherlands. Accessed: Oct. 2024. [Online]. Available: <https://www.alldatasheet.com/datasheet-pdf/view/16098/PHILIPS/BC337-40.html>
- [24] *Rail-to-Rail Input/Output, 10 MHz Op Amps*. Microchip Technology, Chandler, AZ, USA. Accessed: Aug. 2022. [Online]. Available: <http://ww1.microchip.com/downloads/en/devicedoc/20001685e.pdf>
- [25] AD652 Monolithic Synchronous Voltage-to-Frequency Converter. Analog Devices, Wilmington, MA, USA. Accessed: November 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD652.pdf>
- [26] AD7740 3 V/5 V Low Power, Synchronous Voltage-to-Frequency Converter. Analog Devices, Wilmington, MA, USA. Accessed: November 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7740.pdf>
- [27] AD7741 Single and Multichannel, Synchronous Voltage-to-Frequency Converters. Analog Devices, Wilmington, MA, USA. Accessed: November 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7741.pdf>
- [28] AD537 Integrated Circuit Voltage-to-Frequency Converter. Analog Devices, Wilmington, MA, USA. Accessed: Dec. 2023. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD537.pdf>

Izjava o autorstvu

Potpisani-a Marko Tadić

Broj indeksa/upisa 1021/21

Izjavljujem

da je master rad pod nazivom

" Visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja"

- rezultat sopstvenog istraživačkog rada,
- da predloženi master rad ni u cjelini ni u djelovima nije bio predložen za dobijanje bilo koje diplome prema studijskim programima drugih ustanova visokog obrazovanja,
- da su rezultati korektno navedeni, i
- da nijesam povrijedio/la autorska i druga prava intelektualne svojine koja pripadaju trećim licima.

U Podgorici, 09.10.2025. godine

Potpis magistranda

Marko Tadić

Izjava o istovjetnosti štampane i elektronske verzije master rada

Ime i prezime autora: Marko Tadić

Broj indeksa/upisa: 1021/21

Studijski program: Elektronika

Naslov rada: Visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja

Mentor: Milena Erceg

Potpisani Marko Tadić

Izjavljujem

da je štampana verzija mog master rada istovjetna elektronskoj verziji koju sam predao/la za objavljivanje u Digitalni arhiv Univerziteta Crne Gore.

Istovremeno izjavljujem da dozvoljavam objavljivanje mojih ličnih podataka u vezi sa dobijanjem akademskog naziva master nauka, kao što su ime i prezime, godina i mjesto rođenja, naslov master rada i datum odbrane rada.

U Podgorici, 09.10.2025. godine

Potpis magistranda

Marko Tadić

IZJAVA O KORIŠĆENJU

Ovlašćujem Univerzitetsku biblioteku da u Digitalnom arhivu Univerziteta Crne Gore pohrani moj master rad pod nazivom:

"Visoko osjetljivi konvertor napona u frekvenciju sa uravnoteženom količinom naelektrisanja"

koji je moje autorsko djelo.

Master rad sa svim prilogima predao/la sam u elektronskom formatu pogodnom za trajno arhiviranje.

Moj master rad pohranjen u Digitalnom arhivu Univerziteta Crne Gore mogu da koriste svi koji poštuju odredbe sadržane u odabranom tipu licence Kreativne zajednice (*Creative Commons*) za koju sam se odlučio/la.

1. Autorstvo
2. Autorstvo – nekomercijalno
3. Autorstvo – nekomercijalno – bez prerade
4. Autorstvo – nekomercijalno – dijeliti pod istim uslovima
5. Autorstvo – bez prerade
6. Autorstvo – dijeliti pod istim uslovima

(Molimo da zaokružite samo jednu od šest ponuđenih licenci, kratak opis licenci dat je na poleđini lista).

U Podgorici, 09.10.2025. godine

Potpis magistranda

Marko Tadić